

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

(8)
-f

PUBLICATION NUMBER : 08316479
PUBLICATION DATE : 29-11-96

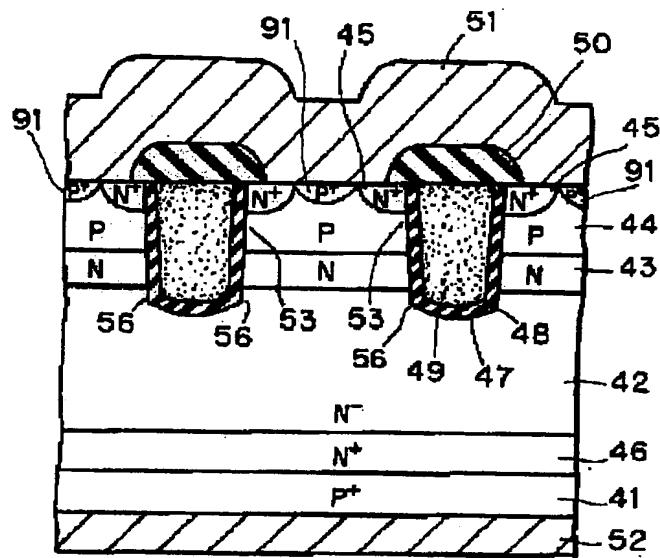
APPLICATION DATE : 12-03-96
APPLICATION NUMBER : 08054656

APPLICANT : MITSUBISHI ELECTRIC CORP;

INVENTOR : TAKAHASHI HIDEKI;

INT.CL. : H01L 29/78

TITLE : INSULATED-GATE TYPE
SEMICONDUCTOR DEVICE AND
MANUFACTURE THEREOF



ABSTRACT : PURPOSE: To realize a reduction in an on-state voltage and the improvement of a current, which can be turned off, in a reconciliation manner.

CONSTITUTION: An N-type layer 43 having an impurity concentration higher than that of an N⁻ layer 42 is provided between the layer 42 and a P-type base layer 44. Moreover, P⁺ layers 91 having an impurity concentration higher than that of the layer 44 are formed in the exposed surface of the layer 44 which is connected with an emitter electrode 51. As the layer 43 is provided, a carrier distribution in the layer 42 approaches a carrier distribution in a diode. As a result, an on-state voltage is reduced as the value of a current, which can be turned off, is maintained high. Moreover, as holes are easy to escape from the layer 44 to the electrode 51 owing to the layers 91, the value of the current, which can be turned off, is improved.

COPYRIGHT: (C)1996,JPO

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-316479

(43)公開日 平成8年(1996)11月29日

(51) Int.Cl.⁶

識別記号 庁内整理番号
9055-4M
9055-4M
9055-4M

FI
H01L 29/78

技術表示箇所

(21)出願番号 特願平8-54656

(22)出願日 平成8年(1996)3月12日

(31) 優先権主張番号 特願平7-54564

(32) 優先日 平7(1995)3月14日

(33) 優先權主張國 日本 (JP)

審査請求 未請求 請求項の数30 ○L (全 27 頁)

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 高橋 英樹

東京都千代田区丸の内二丁目2番3号 三
共電機株式会社内

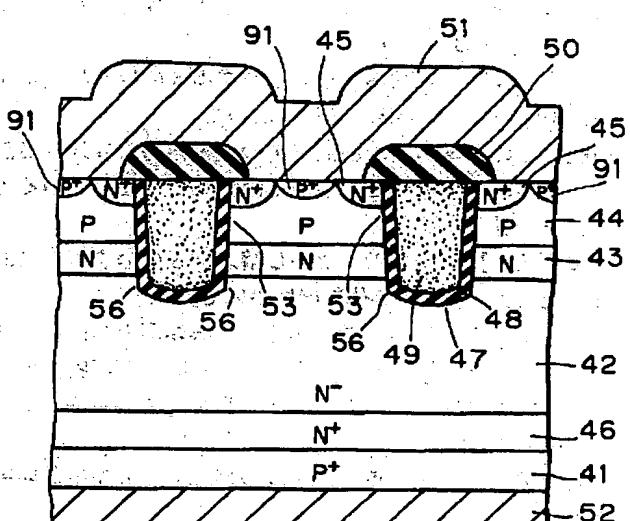
(74)代理人 泰理士 喜田 薩明 (外 3名)

(54) 【発明の名称】 絶縁ゲート型半導体装置およびその製造方法

(57) [要約]

【課題】 オン電圧の低減とターンオフできる電流の向上とを両立的に実現する

【解決手段】 N-層42とPベース層44の間に、N-層42よりも不純物濃度の高いN層43が設けられている。また、エミッタ電極51に接続されるPベース層44の露出面には、Pベース層44よりも不純物濃度の高いP⁺層91が形成されている。N層43が設けられるために、N-層42におけるキャリア分布が、ダイオードのキャリア分布に近くなるので、ターンオフできる電流値が高く維持されたまま、オン電圧が低くなる。さらに、P⁺層91のために、ホールがPベース層44からエミッタ電極51へと抜け易いので、ターンオフできる電流値が向上する。



9.1: P⁺層 (第7の半導体層)

【特許請求の範囲】

【請求項1】 絶縁ゲート型半導体装置において、
第1と第2の主面を有する第1導電型の第1の半導体層と、
この第1の半導体層の第1の主面上に配設された低不純物濃度の第2導電型の第2の半導体層と、
この第2の半導体層の表面上に密接して配設され、前記第2の半導体層の不純物濃度よりも高い不純物濃度の第2導電型の第3の半導体層と、
この第3の半導体層の表面上に密接して配設された第1導電型の第4の半導体層と、
この第4の半導体層の表面に選択的に配設された第2導電型の第5の半導体層と、
この第5の半導体層の表面に開口部を有し、前記第5の半導体層の表面から少なくとも前記第4の半導体層を貫通する深さを有する溝と、
この溝の内壁に配設された絶縁膜と、
この絶縁膜を介して前記第4の半導体層と対向して前記溝内に配設された制御電極と、
前記第4及び第5の半導体層表面上に配設された第1の主電極と、
前記第1の半導体層の第2の主面上に配設された第2の主電極と、を備えた絶縁ゲート型半導体装置。

【請求項2】 請求項1に記載の絶縁ゲート型半導体装置において、
前記溝が前記第3の半導体層をも貫通し前記第2の半導体層に達する深さを有する絶縁ゲート型半導体装置。

【請求項3】 請求項1に記載の絶縁ゲート型半導体装置において、
前記溝が前記第3の半導体層内に留まる深さを有する絶縁ゲート型半導体装置。

【請求項4】 請求項1ないし請求項3のいずれかに記載の絶縁ゲート型半導体装置において、
前記第2の半導体層が前記第1の半導体層を貫通し当該第1の半導体層の第2の主面に部分的に露出している絶縁ゲート型半導体装置。

【請求項5】 請求項1ないし請求項3のいずれかに記載の絶縁ゲート型半導体装置において、
前記第1の半導体層と前記第2の半導体層との間に、前記第2の半導体層の不純物濃度よりも高い不純物濃度の第2導電型の第6の半導体層が配設されている絶縁ゲート型半導体装置。

【請求項6】 請求項5に記載の絶縁ゲート型半導体装置において、
前記第6の半導体層が、前記第1の半導体層を貫通し当該第1の半導体層の第2の主面に部分的に露出している絶縁ゲート型半導体装置。

【請求項7】 請求項1ないし請求項6のいずれかに記載の絶縁ゲート型半導体装置において、
前記溝は、互いに並ぶように配列された複数の単位溝に

分割されており、

前記第4の半導体層の露出面が、互いに隣接する前記単位溝の間に挟まれて配設されている絶縁ゲート型半導体装置。

【請求項8】 請求項7に記載の絶縁ゲート型半導体装置において、
前記第4の半導体層の露出面が前記第5の半導体層の一部により複数の単位露出面に分割されており、当該複数の単位露出面が前記溝に沿って前記第5の半導体層の前記一部と交互に配列している絶縁ゲート型半導体装置。

【請求項9】 請求項8に記載の絶縁ゲート型半導体装置において、
前記第1の主電極が、前記一部においてのみ前記第5の半導体層と接続されていることを特徴とする絶縁ゲート型半導体装置。

【請求項10】 請求項7に記載の絶縁ゲート型半導体装置において、
前記第5の半導体層が、前記第4の半導体層の表面に、互いに平行な複数の帯状に配設されており、

20 前記複数の単位溝が、帯状の前記第5の半導体層に交差する方向に沿って配設されていることを特徴とする絶縁ゲート型半導体装置。

【請求項11】 請求項1ないし請求項10のいずれかに記載の絶縁ゲート型半導体装置において、
前記第4の半導体層が、その露出面の部分に、第1導電型の第7の半導体層を有しており、

当該第7の半導体層における不純物濃度は、前記第4の半導体層の中の前記第7の半導体層を除く部分における不純物濃度よりも高いことを、特徴とする絶縁ゲート型半導体装置。

【請求項12】 請求項1ないし請求項11のいずれかに記載の絶縁ゲート型半導体装置において、
前記溝の底部を包囲するように形成され、前記第2の半導体層におけるよりも不純物濃度の高い第1導電型の第8の半導体層を、さらに備えることを特徴とする絶縁ゲート型半導体装置。

【請求項13】 請求項3に記載の絶縁ゲート型半導体装置において、
前記溝の底部を包囲するように形成され、前記第2の半

40 導体層におけるよりも不純物濃度の高い第1導電型の第8の半導体層を、さらに備え、
前記第8の半導体層が、前記第3の半導体に包囲されていることを特徴とする絶縁ゲート型半導体装置。

【請求項14】 絶縁ゲート型半導体装置の製造方法において、
第1および第2主面を規定するとともに、第1導電型の

第1の半導体層と低不純物濃度の第2導電型の第2の半導体層とを有し、前記第1主面には前記第1の半導体層が露出し前記第2主面には前記第2の半導体層が露出する半導体基板を形成する基板形成工程と、

前記半導体基板の前記第2主面に、前記第2の半導体層の不純物濃度よりも高い不純物濃度に第2導電型の不純物を注入し拡散することによって、第2導電型式の第3の導体層を前記第2の半導体層の表面部分に形成する第1の注入工程と、

前記第3の半導体層の表面に第1導電型の不純物を注入し拡散することによって、前記第3の半導体層の表面部分に第1導電型式の第4の半導体層を形成する第2の注入工程と、

前記第4の半導体層の表面上に、当該第4の半導体層の表面に選択的に開口部を有するレジストパターンを形成し、当該レジストパターンをマスクとして第2導電型の不純物を注入し拡散することによって、前記第4の半導体層の表面部分に第2導電型式の第5の半導体層を選択的に形成する第3の注入工程と、

前記第4の半導体層表面および前記第5の半導体層の表面上に、前記第5の半導体層の表面の一部を囲む開口部を有する遮蔽膜を形成し、当該遮蔽膜をマスクとして前記半導体基板を選択的に除去することによって、少なくとも前記第4の半導体層を貫通する深さの溝を形成し、その後前記遮蔽膜を除去する第1の除去工程と、

前記溝、前記第4の半導体層、および前記第5の半導体層それぞれの表面に絶縁膜を形成する第1の工程と、前記溝を埋設するように前記絶縁膜上に導電体を積層する第1の積層工程と、

積層された前記導電体を前記溝の開口部まで一様に除去することによって、前記溝内の導電体を制御電極として残す第2の除去工程と、

前記絶縁膜の表面上及び前記溝に埋設された導電体の表面上に絶縁層を積層する第2の積層工程と、

前記絶縁層の表面上に、前記第4の半導体層の表面及び第5の半導体層の表面の一部を囲む開口部を有するレジストパターンを形成し、当該レジストパターンをマスクとして前記絶縁層及び前記絶縁膜を選択的に除去する第3の除去工程と、

前記第3の除去工程により露出した前記第4及び第5の半導体層の表面の上に導電体を積層することによって第1の主電極を形成する工程と、

前記半導体基板の前記第1主面の上に導電体を積層することによって第2の主電極を形成する工程と、

を備える絶縁ゲート型半導体装置の製造方法。

【請求項15】 請求項14に記載の絶縁ゲート型半導体装置の製造方法において、

前記第1の除去工程で、前記溝が前記第3の半導体層をも貫通する深さに形成されることを特徴とする絶縁ゲート型半導体装置の製造方法。

【請求項16】 請求項14に記載の絶縁ゲート型半導体装置の製造方法において、

前記第1の除去工程で、前記溝が前記第3の半導体層内にとどまる深さに形成されることを特徴とする絶縁ゲー

ト型半導体装置の製造方法。

【請求項17】 請求項14ないし請求項16のいずれかに記載の絶縁ゲート型半導体装置の製造方法において、

前記基板形成工程が、

二つの主面を有する第1導電型の半導体基板体を準備する工程と、

当該半導体基板体の一方主面上に、エピタキシャル成長によって低不純物濃度の第2導電型の半導体層を積層することによって、前記第2の半導体層を形成する工程と、

を備えることを特徴とする絶縁ゲート型半導体装置の製造方法。

【請求項18】 請求項14ないし請求項16のいずれかに記載の絶縁ゲート型半導体装置の製造方法において、

前記基板形成工程が、

二つの主面を有する低不純物濃度の第2導電型の半導体基板体を準備する工程と、

20 当該半導体基板体の一方主面上に第1導電型の不純物を注入する工程と、

前記一方主面上注入された前記不純物を拡散することによって第1導電型の前記第1半導体層を形成する工程と、

を備えることを特徴とする絶縁ゲート型半導体装置の製造方法。

【請求項19】 請求項18に記載の絶縁ゲート型半導体装置の製造方法において、

前記第1導電型の不純物を注入する工程が、

30 選択的に形成された開口部を有するレジストパターンを前記半導体基板体の前記一方主面上に形成する工程と、

前記一方主面上に形成された前記レジストパターンをマスクとして第1導電型の不純物を前記半導体基板体の前記一方主面上に選択的に注入する工程と、を備えることを特徴とする絶縁ゲート型半導体装置の製造方法。

【請求項20】 請求項14ないし請求項16のいずれかに記載の絶縁ゲート型半導体装置の製造方法において、

40 前記基板工程で形成される前記半導体基板が、

前記第1の半導体層と前記第2の半導体層の間に介挿された高不純物濃度の第2導電型の第6の半導体層を、さらに有することを特徴とする絶縁ゲート型半導体装置の製造方法。

【請求項21】 請求項20に記載の絶縁ゲート型半導体装置の製造方法において、

前記基板形成工程が、

二つの主面を有する第1導電型の半導体基板体を準備する工程と、

50 前記半導体基板体の一方主面上にエピタキシャル成長

によって前記第6の半導体層および第2の半導体層を順次形成する工程と、を備えることを特徴とする絶縁ゲート型半導体装置の製造方法。

【請求項22】 請求項20に記載の絶縁ゲート型半導体装置の製造方法において、

前記基板形成工程が、

二つの主面を有する低不純物濃度の第2導電型の半導体基板体を準備する工程と、

前記半導体基板体の一方主面の上に、第2導電型の不純物を注入した後に拡散することによって前記第6の半導体層を形成する工程と、

前記第6の半導体層の表面に第1導電型の不純物を注入した後に拡散することによって前記第1の半導体層を形成する工程と、

を備えることを特徴とする絶縁ゲート型半導体装置の製造方法。

【請求項23】 請求項22に記載の絶縁ゲート型半導体装置の製造方法において、

前記第1の半導体層を形成する工程が、

選択的に形成された開口部を有するレジストパターンを前記第6の半導体層の表面に形成する工程と、

前記第6の半導体層の表面に形成された前記レジストパターンをマスクとして、第1導電型の不純物を前記第6の半導体層の表面に選択的に注入する工程と、

前記第6の半導体層の表面に選択的に注入された前記不純物を拡散する工程と、を備えることを特徴とする絶縁ゲート型半導体装置の製造方法。

【請求項24】 請求項14ないし請求項23のいずれかに記載の絶縁ゲート型半導体装置の製造方法において、

前記第2の半導体層、前記第3の半導体層、及び前記第4の半導体層における不純物濃度を、それぞれC₂、C₃及びC₄としたとき、これらの関係がC₂ < C₃ < C₄となるように、前記第1の注入工程および前記第2の注入工程が行なわれることを特徴とする絶縁ゲート型半導体装置の製造方法。

【請求項25】 請求項14ないし請求項24のいずれかに記載の絶縁ゲート型半導体装置の製造方法において、

前記第4の半導体層の表面に第1導電型の不純物を注入し拡散することによって、前記第4の半導体層の表面部分に、当該第4の半導体層よりも不純物濃度の高い第7の半導体層を形成する第4の注入工程を、さらに備えることを特徴とする絶縁ゲート型半導体装置の製造方法。

【請求項26】 請求項25に記載の絶縁ゲート型半導体装置の製造方法において、

前記第4の注入工程では、選択的に開口する開口部を有するレジストパターンが、前記第4の半導体層の表面に形成され、その後で、このレジストパターンをマスクとして用いて、第1導電型の不純物を注入し拡散すること

によって、前記第7の半導体層が前記第4の半導体層の表面部分に選択的に形成され、

前記第3の注入工程で用いられる前記レジストパターンが有する開口部と前記第4の注入工程で用いられる前記レジストパターンが有する開口部とは、前記第5および第7の半導体層が、前記第4の半導体層の表面部分の互いに異なる領域を占めるように、それぞれ選択的に開口していることを特徴とする絶縁ゲート型半導体装置の製造方法。

10 【請求項27】 請求項25に記載の絶縁ゲート型半導体装置の製造方法において、

前記第3の注入工程における第2導電型の不純物の注入量は、前記第4の注入工程における第1導電型の不純物の注入量に比べて、この第1導電型の不純物に実質的に影響しない程度に低いことを特徴とする絶縁ゲート型半導体装置の製造方法。

【請求項28】 請求項14ないし請求項27のいずれかに記載の絶縁ゲート型半導体装置の製造方法において、

20 前記第1の除去工程が、

前記溝を形成した後に前記遮蔽膜をマスクとして第1導電型の不純物を注入し、その後拡散することによって、前記第2の半導体層よりも不純物濃度の高い第1導電型の第8の半導体層を、前記溝の底部に形成する工程を含むことを特徴とする絶縁ゲート型半導体装置の製造方法。

【請求項29】 請求項14ないし請求項27のいずれかに記載の絶縁ゲート型半導体装置の製造方法において、

30 前記第1の除去工程の後に、前記溝、ならびに前記第4および前記第5の半導体層の露出面に、当該第5の半導体層の不純物濃度に実質的に影響しない程度の注入量で第1導電型の不純物を注入し、その後拡散することによって、前記第2の半導体層よりも不純物濃度の高い第1導電型の第8の半導体層を前記溝の底部に形成すると同時に、前記第4の半導体層の露出面に、当該第4の半導体層よりも不純物濃度の高い第9の半導体層を形成する工程を、さらに備えることを特徴とする絶縁ゲート型半導体装置の製造方法。

40 【請求項30】 請求項28または請求項29に記載の絶縁ゲート型半導体装置の製造方法において、

前記第8の半導体層を形成するための第1導電型の不純物の注入が行われた後に、前記溝の内壁に絶縁膜を形成し、その後この絶縁膜を除去する工程を、さらに備えることを特徴とする絶縁ゲート型半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は絶縁ゲート型半導体装置及びその製造方法に関するもので、特にトレンチMOSゲートを有する絶縁ゲート型バイポーラトランジ

スタのオン電圧の低いデバイス構造とその製造方法に関するものである。

【0002】

【従来の技術】図47は従来の絶縁ゲート型半導体装置の断面図で、ここでは一例としてトレンチゲート構造の絶縁ゲート型バイポーラトランジスタ（以下IGBTという。またトレンチゲート構造のIGBTをU型IGBTという。）により説明する。

【0003】近年、家電製品の省エネや小型・軽量化を図るための高周波インバータである電圧共振回路、汎用インバータやACサーボやエアコン等の分野で三相モータの可変速制御を行なうためのインテリジェントパワーモジュール等にIGBTが使用され定着してきている。これらのキーデバイスであるIGBTではスイッチング特性、飽和電圧、SOA (Safe Operating Area)との間にはトレードオフの関係にあるが、スイッチング特性が良く、飽和電圧が低く、SOAの広いデバイスが求められている。

【0004】図47において1はP⁺コレクタ層、2はN⁻層、3はPベース層、4はN⁺エミッタ領域、5はトレンチ、6はゲート絶縁膜、7はゲート電極、8は層間絶縁膜、9はN⁺バッファ層、10はエミッタ電極、11はコレクタ電極、12はチャネル領域である。

【0005】次に、IGBTの動作を説明する。エミッタ電極10とコレクタ電極11との間に所定のコレクタ電圧V_{CE}を、エミッタ電極10とゲート電極7との間に所定のゲート電圧V_{GE}を印加する、すなわちゲートをオンすると、チャネル領域12がN型に反転しチャネルが形成される。このチャネルを通じてエミッタ電極10から電子がN⁻層2に注入される。

【0006】この注入された電子によりP⁺コレクタ層1とN⁻層2との間が順バイアスされ、コレクタ電極11からP⁺コレクタ層1およびN⁺バッファ層9を経由してN⁻層2にホールが注入される。この結果電導度変調によりN⁻層2の抵抗が大幅に低下しIGBTの電流容量は増大する。この時のIGBTのコレクターエミッタ間の電圧降下がオン電圧（V_{CE(SAT)}）である。

【0007】次に、IGBTのオン状態からオフ状態にする際には、エミッタ電極10とゲート電極7との間に印加されていたゲート電圧V_{GE}を0Vまたは逆バイアスにする、すなわちゲートをオフすると、N型に反転していたチャネル領域12がP型に戻り、エミッタ電極10からの電子の注入が停止する。その後N⁻層2に蓄積されていた電子とホールはそれぞれコレクタ電極11、エミッタ電極10へ抜けて行くか、または互いに再結合し消滅する。

【0008】一般にIGBTのオン電圧の大半は耐圧保持に必要なN⁻層2の実質的な抵抗で決まる。実質的な抵抗の要因の一つとして、IGBTを構成するMOSFETの電子供給能力がある。チップ表面に狭く深い溝

（トレンチ）を形成し、その側壁にMOSFETを形成するU型IGBTは、単位セル間隔をできるだけ縮小することにより、このMOSFETの電子供給能力を高めることができる構造となっている。

【0009】

【発明が解決しようとする課題】図48はIGBTの等価回路を示す回路図である。図48において、15はバイポーラトランジスタ、16はMOSFETである。一般に、IGBTは図48の等価回路で表される。しかしIGBTのP⁺コレクタ層1、N⁺バッファ層9とN⁻層2とをあわせたN層そしてPベース層で形成されるバイポーラトランジスタ15のh₁₅は小さいので、IGBTはMOSFETとダイオード17との組合せと看做し得る。

【0010】図49はバイポーラトランジスタ15のh₁₅が小さいとしたときのIGBTの等価回路を示す回路図である。図49において、17はダイオード、18はMOSFETである。また、図50はPINダイオードのオン状態でのN⁻層のキャリア濃度分布を示すグラフである。

【0011】図49において、MOSFET18は単なるスイッチング素子と考えてよいから、IGBTのPINダイオード17のN⁻層のキャリア濃度分布は図50に示されるようなPINダイオードのN⁻層のキャリア濃度分布になるはずであるが、そのようにはならない。

【0012】図51は従来のIGBTにおけるオン状態でのN⁻層2のキャリア濃度分布を示すグラフである。図50に示されるように、PINダイオードのオン状態におけるN⁻層のキャリア濃度は、N⁻層のアノード側の端部とカソード側の端部との間でキャリア濃度が均一であるのに対し、図51に示されるように、従来のIGBTにおけるオン状態でのN⁻層2のキャリア濃度は、N⁻層2のコレクタ側の端部からエミッタ側の端部へ次第に減少している。このために従来のIGBTのオン電圧はダイオードのそれに較べて高くなる。

【0013】特に高耐圧のIGBTではN⁻層2の厚みを厚くすることにより、耐圧を確保している。N⁻層2のキャリア濃度がコレクタ側の端部からエミッタ側の端部へ減少する際の勾配は、キャリアライフタイムが同じであればN⁻層2の厚みによって影響されないから、コレクタ側の端部とエミッタ側の端部のキャリア濃度の高低差はN⁻層2の厚みが厚くなるにしたがって大きくなり、高耐圧のIGBTになるほどダイオードとのオン電圧の差異は大きくなってくる。

【0014】このようなIGBTのオン電圧とIGBTのオン電圧の極限値として考えられるダイオードのオン電圧との差異を解消するために、種々のデバイスが考えられている。その1つがMCT (MOS CONTROLLED THYRISTOR)であり、IEGT (INJECTION ENHANCED GATE BI POLAR TRANSISTOR)である。

【0015】図52はMCTの構成を示す断面図である。図52において、21はN⁺カソード領域、22はN領域、23はP⁺領域、24はゲートオンのときのチャネル領域、25はゲートオフの際のチャネル領域で、すなわちオフチャネル領域である。他の符号は図47と同様である。MCTは、そのオン状態のN⁻層2のキャリア濃度分布は、一般にダイオードと同様の分布をとることが知られている。従ってMCTは従来構造のIGBTよりもオン電圧が低くなる。

【0016】しかしながら、オフ時にはPベース層3、N領域22そしてP⁺領域23から構成されるPチャネルMOSがオフチャネル領域25の反転によりチャネルを形成し、このチャネルを経由してホールが流れる。従って、オフチャネル領域25の抵抗が一般に高いことを考慮して、オフできる電流値を大きく取れないという問題点がある。また表面の3重拡散の中にオン用のNチャネルMOSとオフ用のPチャネルMOSを形成せねばならず、プロセスが複雑になり、デバイスが高価になると問題点もあった。

【0017】IEGTの例としては、特開平5-243561号公報に開示されているものがある。例えば、特開平5-243561号公報の図101に示されたIEGTではU型IGBTの一部セルのNエミッタ領域及びPベース領域を絶縁層により被覆し、Nエミッタ領域及びPベース領域とエミッタ電極とのコンタクトを排除した構成になっている。

【0018】IEGTの動作は基本的にU型IGBTと同様であるが、Nエミッタ領域及びPベース領域とエミッタ電極とのコンタクトを形成しないセルを形成したので、オン状態でPベース領域に抜けるホール電流が制限され、N型ベース層表面にホールが蓄積され、N型ベース層のキャリア濃度分布は結果としてダイオードのそれと同様になり、IEGTのオン電圧はU型IGBTよりも低下する。

【0019】オフ状態においても基本的にU型IGBTと同様に動作するが、N型ベース層に蓄積されていたホールがエミッタ電極へ抜けて行くとき、U型IGBTに較べて動作するセルが少ないのでホールは少ないセルを通過して抜ける。

【0020】この時のホールの移動が、N型ベース層、Pベース領域そしてエミッタ領域で構成される寄生バイポーラトランジスタのベース電流となり、ビルトインボテンシャル（一般に0.6V）を超えると寄生バイポーラトランジスタがオンする。このためU型IGBTのセルを一部取り去っている構成になっているIEGTでは、寄生バイポーラトランジスタがオンしないようにするために、勢い通常のU型IGBTよりもオフできる電流値を小さくせざるを得ない場合も発生する。

【0021】この発明は上記のような問題点を解決するためになされたもので、オン電圧を低減するための構成

を採用したとしても、ターンオフできる電流値が低下しない絶縁ゲート型半導体装置及びその製造方法を提供することを目的としている。

【0022】

【課題を解決するための手段】第1の発明の装置は、絶縁ゲート型半導体装置において、第1と第2の主面を有する第1導電型の第1の半導体層と、この第1の半導体層の第1の主面上に配設された低不純物濃度の第2導電型の第2の半導体層と、この第2の半導体層の表面上に

10 密接して配設され、前記第2の半導体層の不純物濃度よりも高い不純物濃度の第2導電型の第3の半導体層と、この第3の半導体層の表面上に密接して配設された第1導電型の第4の半導体層と、この第4の半導体層の表面に選択的に配設された第2導電型の第5の半導体層と、この第5の半導体層の表面に開口部を有し、前記第5の半導体層の表面から少なくとも前記第4の半導体層を貫通する深さを有する溝と、この溝の内壁に配設された絶縁膜と、この絶縁膜を介して前記第4の半導体層と対向して前記溝内に配設された制御電極と、前記第4及び第5の半導体層表面上に配設された第1の主電極と、前記第1の半導体層の第2の主面上に配設された第2の主電極と、を備えている。

【0023】第2の発明の装置は、第1の発明の絶縁ゲート型半導体装置において、前記溝が前記第3の半導体層をも貫通し前記第2の半導体層に達する深さを有する。

【0024】第3の発明の装置は、第1の発明の絶縁ゲート型半導体装置において、前記溝が前記第3の半導体層内に留まる深さを有する。

30 【0025】第4の発明の装置は、第1ないし第3のいずれかの発明の絶縁ゲート型半導体装置において、前記第2の半導体層が前記第1の半導体層を貫通し当該第1の半導体層の第2の主面上に部分的に露出している。

【0026】第5の発明の装置は、第1ないし第3のいずれかの発明の絶縁ゲート型半導体装置において、前記第1の半導体層と前記第2の半導体層との間に、前記第2の半導体層の不純物濃度よりも高い不純物濃度の第2導電型の第6の半導体層が配設されている。

【0027】第6の発明の装置は、第5の発明の絶縁ゲート型半導体装置において、前記第6の半導体層が、前記第1の半導体層を貫通し当該第1の半導体層の第2の主面上に部分的に露出している。

【0028】第7の発明の装置は、第1ないし第6のいずれかの発明の絶縁ゲート型半導体装置において、前記溝は、互いに並ぶように配列された複数の単位溝に分割されており、前記第4の半導体層の露出面が、互いに隣接する前記単位溝の間に挟まれて配設されている。

【0029】第8の発明の装置は、第7の発明の絶縁ゲート型半導体装置において、前記第4の半導体層の露出面が前記第5の半導体層の一部により複数の単位露出面

に分割されており、当該複数の単位露出面が前記溝に沿って前記第5の半導体層の前記一部と交互に配列している。

【0030】第9の発明の装置は、第8の発明の絶縁ゲート型半導体装置において、前記第1の主電極が、前記一部においてのみ前記第5の半導体層と接続されていることを特徴とする。

【0031】第10の発明の装置は、第7の発明の絶縁ゲート型半導体装置において、前記第5の半導体層が、前記第4の半導体層の表面に、互いに平行な複数の帯状に配設されており、前記複数の単位溝が、帯状の前記第5の半導体層に交差する方向に沿って配設されていることを特徴とする。

【0032】第11の発明の装置は、第1ないし第10のいずれかの発明の絶縁ゲート型半導体装置において、前記第4の半導体層が、その露出面の部分に、第1導電型の第7の半導体層を有しており、当該第7の半導体層における不純物濃度は、前記第4の半導体層の中の前記第7の半導体層を除く部分における不純物濃度よりも高いことを、特徴とする。

【0033】第12の発明の装置は、第1ないし第11のいずれかの発明の絶縁ゲート型半導体装置において、前記溝の底部を包囲するように形成され、前記第2の半導体層におけるよりも不純物濃度の高い第1導電型の第8の半導体層を、さらに備えることを特徴とする。

【0034】第13の発明の装置は、第3の発明の絶縁ゲート型半導体装置において、前記溝の底部を包囲するように形成され、前記第2の半導体層におけるよりも不純物濃度の高い第1導電型の第8の半導体層を、さらに備え、前記第8の半導体層が、前記第3の半導体に包囲されていることを特徴とする。

【0035】第14の発明の製造方法は、絶縁ゲート型半導体装置の製造方法において、第1および第2主面を規定するとともに、第1導電型の第1の半導体層と低不純物濃度の第2導電型の第2の半導体層とを有し、前記第1主面には前記第1の半導体層が露出し前記第2主面には前記第2の半導体層が露出する半導体基板を形成する基板形成工程と、前記半導体基板の前記第2主面に、前記第2の半導体層の不純物濃度よりも高い不純物濃度に第2導電型の不純物を注入し拡散することによって、第2導電型の第3の導体層を前記第2の半導体層の表面部分に形成する第1の注入工程と、前記第3の半導体層の表面に第1導電型の不純物を注入し拡散することによって、前記第3の半導体層の表面部分に第1導電型の第4の半導体層を形成する第2の注入工程と、前記第4の半導体層の表面上に、当該第4の半導体層の表面に選択的に開口部を有するレジストパターンを形成し、当該レジストパターンをマスクとして第2導電型の不純物を注入し拡散することによって、前記第4の半導体層の表面部分に第2導電型の第5の半導体層を選択的に形

成する第3の注入工程と、前記第4の半導体層表面および前記第5の半導体層の表面上に、前記第5の半導体層の表面の一部を囲む開口部を有する遮蔽膜を形成し、当該遮蔽膜をマスクとして前記半導体基板を選択的に除去することによって、少なくとも前記第4の半導体層を貫通する深さの溝を形成し、その後前記遮蔽膜を除去する第1の除去工程と、前記溝、前記第4の半導体層、および前記第5の半導体層それぞれの表面に絶縁膜を形成する第1の工程と、前記溝を埋設するように前記絶縁膜上に導電体を積層する第1の積層工程と、積層された前記導電体を前記溝の開口部まで一様に除去することによって、前記溝内の導電体を制御電極として残す第2の除去工程と、前記絶縁膜の表面上及び前記溝に埋設された導電体の表面上に絶縁層を積層する第2の積層工程と、前記絶縁層の表面上に、前記第4の半導体層の表面及び第5の半導体層の表面の一部を囲む開口部を有するレジストパターンを形成し、当該レジストパターンをマスクとして前記絶縁層及び前記絶縁膜を選択的に除去する第3の除去工程と、前記第3の除去工程により露出した前記

20 第4及び第5の半導体層の表面の上に導電体を積層することによって第1の主電極を形成する工程と、前記半導体基板の前記第1主面の上に導電体を積層することによって第2の主電極を形成する工程と、を備える。

【0036】第15の発明の製造方法は、第14の発明の絶縁ゲート型半導体装置の製造方法において、前記第1の除去工程で、前記溝が前記第3の半導体層をも貫通する深さに形成されることを特徴とする。

【0037】第16の発明の製造方法は、第14の発明の絶縁ゲート型半導体装置の製造方法において、前記第1の除去工程で、前記溝が前記第3の半導体層内にとどまる深さに形成されることを特徴とする。

【0038】第17の発明の製造方法は、第1.4ないし第16のいずれかの発明の絶縁ゲート型半導体装置の製造方法において、前記基板形成工程が、二つの主面を有する第1導電型の半導体基板体を準備する工程と、当該半導体基板体の一方主面上に、エピタキシャル成長によって低不純物濃度の第2導電型の半導体層を積層することによって、前記第2の半導体層を形成する工程と、を備えることを特徴とする。

40 【0039】第18の発明の製造方法は、第1.4ないし第16のいずれかの発明の絶縁ゲート型半導体装置の製造方法において、前記基板形成工程が、二つの主面を有する低不純物濃度の第2導電型の半導体基板体を準備する工程と、当該半導体基板体の一方主面に第1導電型の不純物を注入する工程と、前記一方主面に注入された前記不純物を拡散することによって第1導電型の前記第1半導体層を形成する工程と、を備えることを特徴とする。

【0040】第19の発明の製造方法は、第18の発明の絶縁ゲート型半導体装置の製造方法において、前記第

1 導電型の不純物を注入する工程が、選択的に形成された開口部を有するレジストパターンを前記半導体基板体の前記一方主面の上に形成する工程と、前記一方主面の上に形成された前記レジストパターンをマスクとして第1導電型の不純物を前記半導体基板体の前記一方主面に選択的に注入する工程と、を備えることを特徴とする。

【0041】第20の発明の製造方法は、第14ないし第16のいずれかの発明の絶縁ゲート型半導体装置の製造方法において、前記基板工程で形成される前記半導体基板が、前記第1の半導体層と前記第2の半導体層の間に介挿された高不純物濃度の第2導電型の第6の半導体層を、さらに有することを特徴とする。

【0042】第21の発明の製造方法は、第20の発明の絶縁ゲート型半導体装置の製造方法において、前記基板形成工程が、二つの主面を有する第1導電型の半導体基板体を準備する工程と、前記半導体基板体の一方主面の上にエピタキシャル成長によって前記第6の半導体層および第2の半導体層を順次形成する工程と、を備えることを特徴とする。

【0043】第22の発明の製造方法は、第20の発明の絶縁ゲート型半導体装置の製造方法において、前記基板形成工程が、二つの主面を有する低不純物濃度の第2導電型の半導体基板体を準備する工程と、前記半導体基板体の一方主面の上に、第2導電型の不純物を注入した後に拡散することによって前記第6の半導体層を形成する工程と、前記第6の半導体層の表面に第1導電型の不純物を注入した後に拡散することによって前記第1の半導体層を形成する工程と、を備えることを特徴とする。

【0044】第23の発明の製造方法は、第22の発明の絶縁ゲート型半導体装置の製造方法において、前記第1の半導体層を形成する工程が、選択的に形成された開口部を有するレジストパターンを前記第6の半導体層の表面に形成する工程と、前記第6の半導体層の表面に形成された前記レジストパターンをマスクとして、第1導電型の不純物を前記第6の半導体層の表面に選択的に注入する工程と、前記第6の半導体層の表面に選択的に注入された前記不純物を拡散する工程と、を備えることを特徴とする。

【0045】第24の発明の製造方法は、第14ないし第23のいずれかの発明の絶縁ゲート型半導体装置の製造方法において、前記第2の半導体層、前記第3の半導体層、及び前記第4の半導体層における不純物濃度を、それぞれC₂、C₃及びC₄としたとき、これらの関係がC₂ < C₃ < C₄となるように、前記第1の注入工程および前記第2の注入工程が行なわれることを特徴とする。

【0046】第25の発明の製造方法は、第14ないし第24のいずれかの発明の絶縁ゲート型半導体装置の製造方法において、前記第4の半導体層の表面に第1導電型の不純物を注入し拡散することによって、前記第4の半導体層の表面部分に、当該第4の半導体層よりも不純

物濃度の高い第7の半導体層を形成する第4の注入工程を、さらに備えることを特徴とする。

【0047】第26の発明の製造方法は、第25の発明の絶縁ゲート型半導体装置の製造方法において、前記第4の注入工程で、選択的に開口する開口部を有するレジストパターンが、前記第4の半導体層の表面に形成され、その後で、このレジストパターンをマスクとして用いて、第1導電型の不純物を注入し拡散することによって、前記第7の半導体層が前記第4の半導体層の表面部分に選択的に形成され、前記第3の注入工程で用いられる前記レジストパターンが有する開口部と前記第4の注入工程で用いられる前記レジストパターンが有する開口部とは、前記第5および第7の半導体層が、前記第4の半導体層の表面部分の互いに異なる領域を占めるように、それぞれ選択的に開口していることを特徴とする。

【0048】第27の発明の製造方法は、第25の発明の絶縁ゲート型半導体装置の製造方法において、前記第3の注入工程における第2導電型の不純物の注入量は、前記第4の注入工程における第1導電型の不純物の注入量に比べて、この第1導電型の不純物に実質的に影響しない程度に低いことを特徴とする。

【0049】第28の発明の製造方法は、第14ないし第27のいずれかの発明の絶縁ゲート型半導体装置の製造方法において、前記第1の除去工程が、前記溝を形成した後に前記遮蔽膜をマスクとして第1導電型の不純物を注入し、その後拡散することによって、前記第2の半導体層よりも不純物濃度の高い第1導電型の第8の半導体層を、前記溝の底部に形成する工程を含むことを特徴とする。

【0050】第29の発明の製造方法は、第14ないし第27のいずれかの発明の絶縁ゲート型半導体装置の製造方法において、前記第1の除去工程の後に、前記溝、ならびに前記第4および前記第5の半導体層の露出面に、当該第5の半導体層の不純物濃度に実質的に影響しない程度の注入量で第1導電型の不純物を注入し、その後拡散することによって、前記第2の半導体層よりも不純物濃度の高い第1導電型の第8の半導体層を前記溝の底部に形成すると同時に、前記第4の半導体層の露出面に、当該第4の半導体層よりも不純物濃度の高い第9の半導体層を形成する工程を、さらに備えることを特徴とする。

【0051】第30の発明の製造方法は、第28または第29の発明の絶縁ゲート型半導体装置の製造方法において、前記第8の半導体層を形成するための第1導電型の不純物の注入が行われた後に、前記溝の内壁に絶縁膜を形成し、その後この絶縁膜を除去する工程を、さらに備えることを特徴とする。

【0052】

【発明の実施の形態】

50 <実施の形態1>図1は、この発明の一実施の形態の絶

緑ゲート型半導体装置の平面図である。以下に、緑ゲート型半導体装置の一例として、U型IGBTを用いて説明する。図2は図1に示したU型IGBTの一部セルの部分平面図、図3は図2に示した一部セルのA-A断面での部分断面図である。図2は図3のエミッタ電極51および層間絶縁膜50を取り除いた状態で描かれている。

【0053】図1において、30はU型IGBT、31は第1の主電極としてのエミッタ電極、32はゲート配線、33はゲートパッド、34は一部セルである。

【0054】図2及び図3において、41は第1の半導体層としてのP⁺コレクタ層、42は第2の半導体層としてのN⁻層、43は第3の半導体層としてのN⁻層、44は第4の半導体層としてのPベース層、45は第5の半導体層としてのN⁺エミッタ領域、46は第6の半導体層としてのN⁺バッファ層、47は溝としてのトレンチ、48は絶縁膜としてのゲート絶縁膜、49は制御電極としてのゲート電極、50は層間絶縁膜、51は第1の主電極としてのエミッタ電極で図1で示したエミッタ電極31の一部である。52は第2の主電極としてのコレクタ電極、53はチャネル領域、56はトレンチ47の先端隅部である。また図2において中括弧で示した2点鎖線間の領域Cは層間絶縁膜50が覆う領域である。

【0055】ゲート絶縁膜48は通常は熱酸化膜でSiO₂、ゲート電極49はN型不純物がドープされたポリシリコンである。層間絶縁膜50はボロンとリンを含有したシリケートガラス(以下BPSGという)、エミッタ電極51、ゲート配線32及びゲートパッド33はSi含有のAl(以下Al-Siという)、コレクタ電極52はAlMnAu合金でそれぞれ形成されている。

【0056】ゲート配線32はセルのゲート電極49と接続されていて、ゲート電極49からゲートパッド33までの経路のポリシリコン部分を少なくして、ゲート電極49からゲートパッド33までの電気抵抗を下げるとともに、素子の制御動作を素子全面で均一にする機能を有している。

【0057】この実施の形態のU型IGBTでは、P⁺コレクタ層41の表面にN⁺バッファ層46が配設され、このN⁺バッファ層46の表面にN⁻層42が配設されている。さらにこのN⁻層42の上にN層43が配設され、その上にPベース層44が配設されている。Pベース層44の表面にN⁺エミッタ領域45が間隔をおいて帯状に配設され、このN⁺エミッタ領域45の帯状形状の長手方向に沿って、N⁺エミッタ領域45の表面からPベース層44及びN層43を貫通しN⁻層42に達するトレンチ47が配設されている。

【0058】トレンチ47の内壁には、ゲート絶縁膜48が配設され、トレンチ47の内部には、N⁺エミッタ領域45の表面の開口部までゲート電極49が埋設され

ている。従ってゲート電極49はトレンチ47の内部のゲート絶縁膜48を介してPベース層44の表面に対向し、このゲート電極49が対向するPベース層44の表面がチャネル領域53となる。隣り合うトレンチ47相互は、それぞれのトレンチ47に隣接しているN⁺エミッタ領域45とこのN⁺エミッタ領域45の間に配設されたPベース層44の露出面とを介して配設されている。

【0059】ゲート電極49の表面は層間絶縁膜50で覆われている。さらに、層間絶縁膜50はエミッタ電極51によって覆われている。エミッタ電極51は、N⁺エミッタ領域45とPベース層44とが短絡するよう、N⁺エミッタ領域45及びPベース層44が配置された素子の表面上に配設されている。また素子の表面上にはゲート電極49と接続されたゲート配線32およびゲートパッド33がN⁺エミッタ領域45及びPベース層44と絶縁されて配設されている。またP⁺コレクタ層41のもう一方の表面上にコレクタ電極52が配設されている。

【0060】たとえば耐圧が2000V級の素子での各部分の寸法を示すと、素子表面つまりPベース層44の露出面またはN⁺エミッタ領域45の表面からN⁻層42とN⁺バッファ層46との境界までの厚さは約200μm、このN⁻層42の不純物濃度は5×10¹³cm⁻³、トレンチ47の間隔が約4μmで、N⁺エミッタ領域45表面からのトレンチ47の深さは約8μmである。N⁺エミッタ領域45の底部とPベース層44との接合面、Pベース層44とN層43との接合面及びN層43とN⁻層42との接合面の深さは、N⁺エミッタ領域45またはPベース層44の表面からそれぞれ約1μm、約3μmそして約7μmである。N⁺バッファ層46の厚みは約10μm、P⁺コレクタ層41の厚みは約300μmである。

【0061】次に動作について説明する。エミッタ電極51とコレクタ電極52との間に所定のコレクタ電圧V_{ce}を、エミッタ電極51とゲート電極49との間に所定のゲート電圧V_{ge}を印加する、すなわちゲートをオンすると、チャネル領域53がN型に反転しチャネルが形成される。このチャネルを通じてエミッタ電極51から電子がN層43を経由してN⁻層42に注入される。この注入された電子によりN⁺バッファ層46を介してP⁺コレクタ層41とN⁻層42との間が順バイアスされ、コレクタ電極52からP⁺コレクタ層41およびN⁺バッファ層46を経由してN⁻層42にホールが注入される。この結果電導度変調によりN⁻層42の抵抗が大幅に低下しIGBTの電流容量は増大する。

【0062】N⁻層42に注入されたホールはエミッタ電極51へ抜けて行くのであるが、トレンチ47の間のホールの移動経路と交差して、N⁻層42とPベース層44との間にN層43が設けられている。このためN層

4 3によってホールはPベース層4 4に移動することができ制限されることになり、N-層4 2とN層4 3との境界近傍のN-層4 2にホールが蓄積され、結果としてN-層4 2は、図50に示したダイオードのようなキャリア分布となる。このため従来のIGBTのようにN-層4 2のキャリア分布がエミッタ側で少なくなることがなく、この実施の形態のIGBTにおいては従来のIGBTと比較してもオン電圧が低くなる。

【0063】次に、IGBTのオン状態からオフ状態にする際には、エミッタ電極5 1とゲート電極4 9との間に印加されていたゲート電圧 V_{GE} を0 Vまたは逆バイアスにする、すなわちゲートをオフすると、N型に反転していたチャネル領域5 3がP型に戻り、エミッタ電極5 1からの電子の注入が停止し、P+コレクタ層4 1からN-層4 2へのホールの注入も停止する。その後N-層4 2に蓄積されていた電子とホールはそれぞれコレクタ電極5 2、エミッタ電極5 1へ抜けて行くか、または互いに再結合し消滅する。

【0064】このときN層4 3はホールがエミッタ電極5 1へ抜けて行く経路と交差して設けられているが、オン状態の時と異なりオフ状態においてはコレクタ電圧として高電圧、例えばこの実施の形態では2000 Vが印加されることになる。このため、この程度の厚みのN層4 3があったとしてもバリアとはならず、ホールの移動になんら影響を与えない。従ってオフできる電流値は、従来のIGBTと同程度の電流値が確保され低下することはない。

【0065】図4はこの実施の形態のU型IGBT、PINダイオード及び従来のU型IGBTのオン電圧をシミュレーションにより比較検討した結果を示すグラフである。

【0066】図4において、 V_{CE} はコレクタ電圧、 I_C はコレクタ電流である。また比較のためにPINダイオードについても、IGBTのオン電圧と等価な V_f を計算した。このPINダイオードは、N-層に1 μ mのN+層を設けたものである。

【0067】図4のグラフから認められるように、定格電流として電流値50 A/cm²でオン電圧を比較すると、ダイオードでは2.5 V、この実施の形態であるN層4 3を設けたIGBTでは2.7 V、N層4 3のない従来のIGBTでは3.2 Vであり、N層4 3を設けたIGBTの $V_{CE(SAT)}$ はほぼダイオードの V_f と等しい値を示している。

【0068】以上のように、この実施の形態では、U型IGBTのN-層4 2とPベース層4 4との間にN層4 3を設けるという簡単な構成により、オン電圧を低くしながら、オフできる電流値が低下しないU型IGBTを得ることができる。

【0069】また、この実施の形態では、トレンチ4 7の先端がN層4 3からわずかに突出した構成になってい

る。U型IGBTの耐圧は、トレンチ4 7の先端の隅部5 6近傍の電界分布で決定される。このため、このようにトレンチ4 7の先端がN層4 3からわずかに突出した構成にすると、コレクタ電圧印加時の空乏層が横方向に延ばされトレンチ4 7の先端隅部5 6近傍の電界集中が緩和される。

【0070】特にこのシミュレーション条件のようにコレクタ電圧が高い場合には、このトレンチ4 7の先端隅部5 6近傍の電界集中の緩和の影響は顕著に現れないが、コレクタ電圧が比較的低い数百V程度の場合には大きく影響して耐圧が確保できる。従ってトレンチ4 7の先端がN層4 3からわずかに突出した構成にすることにより、比較的低圧の素子から高圧の素子まで幅広い電圧クラスで、耐圧の確保し易いU型IGBTを提供することができる。

【0071】次にこの実施の形態のU型IGBTの製造方法の一例を説明する。図5～図12は各工程での素子を示す部分断面図である。

【0072】まず、P+シリコン基板6 0上にN+層6 1及びN-層6 2が順次エピタキシャル成長により形成される。次にN-層6 2の表面にN型不純物を注入し、アニールすることによりN型不純物を拡散しN層6 3を形成する。更にこのN層6 3の表面にP型不純物を注入し、アニールすることによりPベース層6 4を形成する。

【0073】この工程において、N-層6 2、N層6 3及びPベース層6 4の不純物濃度を、それぞれC₂、C₃及びC₄としたとき、これらの関係がC₂ < C₃ < C₄となるようにN型不純物及びP型不純物の注入拡散を行なうと、P型不純物の注入が簡単に行なうことができるので製造時間が短縮される。(図5参照)。

【0074】次に、Pベース層6 4の表面にレジストを積層し、写真製版工程により、帯状開口を複数並列して設けたレジストパターン6 5が形成され、このレジストパターン6 5をマスクとしてPベース層6 4の表面にN型不純物を高濃度に注入しアニールにより拡散しN+エミッタ領域6 6が形成される(図6参照)。

【0075】この後Pベース層6 4及びN+エミッタ領域6 6の表面上に遮蔽膜としての酸化膜6 7を形成し、この酸化膜6 7でN+エミッタ領域6 6それぞれの表面にN+エミッタ領域6 6より狭い幅で帯状の開口を設けたシリコンエッティング用マスクが形成され、このシリコンエッティング用マスクをマスクとしてRIE(Reactive Ion Etching)によりエッティングを行い、N+エミッタ領域6 6表面からN-層6 2まで貫通するトレンチ6 8を形成する(図7参照)。その後、酸化膜6 7をエッティングにより除去する。

【0076】次いでトレンチ6 8の表面、Pベース層6 4およびN+エミッタ領域6 6に熱酸化膜6 9を形成し、Pベース層6 4、N+エミッタ領域6 6及びトレン

チ68の表面に形成されている酸化膜69の上に、N型不純物がドープされたポリシリコン70が積層されトレンチ68を埋設する(図8参照)。

【0077】次に積層されたポリシリコン70を、トレンチ68に埋設されたポリシリコン70を残すようにトレンチ68の開口部までエッチバックする(図9参照)。

【0078】この後Pベース層64とN⁺エミッタ領域66との表面上の酸化膜69表面及びトレンチ68に埋設されたポリシリコン70の表面上にBPSG71を積層する(図10参照)。

【0079】次いでこのBPSG71の表面上にレジストを積層し、写真製版工程により、隣接するトレンチ68相互間のPベース層64表面とN⁺エミッタ領域66の一部を囲みトレンチ68に並列する帯状の開口を設けたレジストパターン72が形成され、このレジストパターン72をマスクとしてBPSG71及び酸化膜69のエッチングを行い、トレンチ68に埋設されたポリシリコン70の表面上に層間絶縁膜71を形成する(図11参照)。

【0080】その後エッチングで露出したPベース層64とN⁺エミッタ領域66とが短絡するように、Pベース層64、N⁺エミッタ領域66及び層間絶縁膜71が配設された素子表面上にA1-S1が積層され、エミッタ電極73とトレンチ68のポリシリコン70に接続されるゲート配線とゲートパッドとが同時に形成される(図12参照)。更にP⁺基板60の表面上にドレイン電極が形成される。

【0081】このような製造工程を探ることにより、この実施の形態のU型IGBTを安価に製造することができる。

【0082】<実施の形態2>図13は、この発明の他の実施の形態のU型IGBTの部分平面図、図14は図13に示した一部セルのA-A断面での部分断面図、図15は図13に示した一部セルのB-B断面での部分断面図である。図13はエミッタ電極51および層間絶縁膜50を取り除いた状態で描かれている。また中括弧で示した2点鎖線間の領域Cは層間絶縁膜50が覆う領域である。

【0083】図13、図14および図15において、この実施の形態のU型IGBTは、トレンチ47間に形成されたN⁺エミッタ領域45の平面形状が梯子形状に形成されている。すなわち、Pベース領域44の露出面を挟んでN⁺エミッタ領域45が帯状に並列され、このN⁺エミッタ領域45の表面に開口を有するトレンチがN⁺エミッタ領域45の長手方向に沿って延在され、隣接するゲート電極49相互間のN⁺エミッタ領域45は互いに連結部55で繋がれ、この連結部55と交互にPベース領域44の露出面が配設されている。その他の部分の構成は実施の形態1のU型IGBTと同様である。

【0084】N⁺エミッタ領域45の平面形状をこのように梯子形状に形成することにより、エミッタ電極51がN⁺エミッタ領域45及びPベース領域44とをコンタクトするコンタクト領域を、連結部55でとることができ、コンタクト領域を形成する際のマスクずれを考慮する必要が無くなる。すなわち、図11に示されたレジストパターン72を形成する際にマスクずれの余裕分を考慮する必要がなく、セル間隔を短くすることができるから、図2のようにN⁺エミッタ領域45を単にゲート電極49沿わせる構成と比較して、セルの微細化が可能となる。またコンタクト領域を素子表面全体にバランス良く配置することができる。

【0085】従って素子の高密度化が実現できてオン電圧を低減でき、また各セルの動作特性を素子全体で均一化を図ることができる。

【0086】<実施の形態3>図16は、この発明のさらに他の実施の形態のU型IGBTの部分断面図である。図16において、この実施の形態のU型IGBTは、N層43の厚みを厚くしてN層43とN⁻層42との境界がトレンチ47の先端よりも深くなるようにしたものである。他の構成は実施の形態1と同様である。

【0087】この実施の形態においても、オン状態においてN⁻層42に注入されたホールはエミッタ電極51へ抜けて行くが、N層43によってホールはPベース層44に移動することが制限されることになり、N⁻層42とN層43との境界近傍のN⁻層42にホールが蓄積され、結果としてN⁻層42は図50に示したダイオードのようなキャリア分布となりオン電圧が低くなることは実施の形態1と同じである。

【0088】さらにこの実施の形態では抵抗の低いN層43の厚みが厚いからそれだけよりオン電圧が低くなる。

【0089】図17はN⁻層42とN層43との境界深さに対する耐圧とオン電圧の値を示したグラフである。横軸は素子表面つまりPベース層44の露出面またはN⁺エミッタ領域45の表面からN⁻層42とN層43との境界までの深さであり、左の縦軸は耐圧、右の縦軸はオン電圧V_{CE(SAT)}である。

【0090】このシミュレーションの条件は、素子表面つまりPベース層44の露出面またはN⁺エミッタ領域45の表面からN⁻層42とN⁺バッファ層46との境界までの厚さは約200μm、このN⁻層42の不純物濃度は5×1.0¹³c m⁻³、トレンチ47の間隔が約4μmで、N⁺エミッタ領域45表面からのトレンチ47の深さは約8μmである。

【0091】図17において、A-Aは素子表面からのPベース層44とN層43との境界深さを示しており、このライン上の耐圧及びオン電圧の値は、Pベース層44とN層43との境界深さとN⁻層42とN層43との境界深さと同じ、つまりN層43を設けない場合の値

である。

【0092】図17から認められるように、 $V_{GE(SAT)}$ の値はN層43の厚みが厚くなるほど低下し、N層43の厚みに対応してオン電圧は低下する。しかし耐圧はN層43の厚みのある臨界値を越すと急激に低下する。この実施の形態では、N⁻層42とN層43との境界深さがトレンチ47の底部から更に8μm程度深くなると急激に耐圧が低下している。従って耐圧が許す範囲内に置いて、N層43を厚くしてオン電圧をできるだけ下げる事ができる。

【0093】この実施の形態のようにN層43とN⁻層42との境界がトレンチ47の先端よりも深くなるようにN層43を配設する場合は、特に耐圧クラスの高い素子の場合に有効に適用できる。すなわち、オフ状態におけるコレクタ電圧が高い場合には、トレンチ47の先端がPベース層44とN層43との境界から大きく突出していてもトレンチ47の先端隅部56近傍での電界集中が耐圧低下に大きく影響しないからである。

【0094】また耐圧クラスが高いので、耐圧が急激に低下しない程度のN層43の厚みではN層43の厚みが厚くなつたとしても、N層43はオン状態からオフ状態へ移るときのホールの移動のバリアとはならず、オフの際の電流低下に影響することはない。従って、この実施の形態のように構成することにより、オン電圧をより低いU型IGBTを提供することができる。

【0095】また、この実施の形態のようにN層43の厚みを厚くしてN層43とN⁻層42との境界がトレンチ47の先端よりも深くなるように構成し、さらにN⁺エミッタ領域45の平面形状を、実施の形態2のように梯子形状に形成することにより、素子のセル密度を高く、また素子の動作特性を均一にすることができる。

【0096】<実施の形態4>図18は、この発明のさらに他の実施の形態のU型IGBTの部分断面図である。図18において、このU型IGBTはP⁺コレクタ層41に接して直接N⁻層42を配設し、このN⁻層42の厚みをコレクタ電圧が印加された時にPベース層44から延びる空乏層よりも厚くなるようにしたものである。

【0097】耐圧クラスが2000V以上の高耐圧の素子の場合には、耐圧を確保するためのN⁻層42の厚みがかなり厚くなる。このため素子を製造するときにP⁺基板上にN⁻層42をエピタキシャル成長により形成することは、エピタキシャル成長に要する時間が長くなりコスト的に有利でない。そこでN⁻シリコン基板を使用することにより、製造コストを安価にすることができます。

【0098】図19は図18の絶縁ゲート型半導体装置の実施の形態の変形例の部分断面図である。図19のU型IGBTは、P⁺コレクタ層41に接して直接N⁻層42を配設し、このN⁻層42の厚みをコレクタ電圧が印

加された時にPベース層44から延びる空乏層よりも厚くなるようにするとともにN層43の厚みを厚くしてN層43とN⁻層42との境界がトレンチ47の先端よりも深くなるようにしたもので、図18の場合と同様の効果がある。

【0099】またこの実施の形態において、さらにN⁺エミッタ領域45の平面形状を、実施の形態2のように梯子形状に形成することにより、素子のセル密度を高くしてオン電圧を低く、また各セルの動作特性を素子全体で均一にすることができる。

【0100】次にこの実施の形態のU型IGBTの製造方法の一例を説明する。図20はこの実施の形態のU型IGBTの製造方法の製造工程における素子を示す部分断面図である。ここでは実施の形態1に示した製造方法の各工程と異なる部分を示している。

【0101】まず、N⁻シリコン基板62の一主面にP型不純物を注入し、アニールすることにより拡散してP⁺コレクタ層60を形成する(図20参照)。

【0102】次いでN⁻シリコン基板62の他主面にN型不純物を注入し、アニールすることによりN型不純物を拡散しN層63を形成する。更に、このN層63の表面にP型不純物を注入し、アニールすることによりPベース層64を形成する(図5参照)。

【0103】この後の、Pベース層64の表面にN⁺エミッタ領域66を形成する工程以降の素子製造の工程は、実施の形態1の図6以降の工程と同じである。

【0104】図21はこの実施の形態のU型IGBTの変形例の製造工程における素子を示す部分断面図である。図20の製造方法では、P⁺コレクタ層41に接して直接N⁻層42を配設した場合の製造方法について述べたが、P⁺コレクタ層41とN⁻層42との間にN⁺バッファ層46を設けてもよい。この場合の製造方法が図21に示されている。

【0105】図21において、まず、N⁻シリコン基板62の一主面にN型不純物を注入し、アニールすることによりN型不純物を拡散しN⁺層61を形成する。さらにこのN⁺層61の表面にP型不純物を注入し、アニールすることによりP⁺層60を形成する(図21参照)。

【0106】次いでN⁻シリコン基板61の他主面にN型不純物を注入し、アニールすることによりN型不純物を拡散しN層63を形成する。更に、このN層63の表面にP型不純物を注入し、アニールすることによりPベース層64を形成する(図5参照)。

【0107】この後の、Pベース層64の表面にN⁺エミッタ領域66を形成する工程以降の素子製造の工程は、実施の形態1の図6以降の工程と同じである。

【0108】この実施の形態の製造工程において、N⁻層62、N層63及びPベース層64の不純物濃度を、それぞれC₂、C₃及びC₄としたとき、これらの関係が

$C_2 < C_3 < C_4$ となるように N 型不純物及び P 型不純物の注入拡散を行なうと、P 型不純物の注入が簡単に行なえるので製造時間が短縮されることは実施の形態 1 の場合と同様である。

【0109】以上のようにこの実施の形態では、N-シリコン基板を使用することにより、製造コストを安価にことができる。

【0110】<実施の形態 5>図 22 は、この発明のさらに他の実施の形態の U 型 IGBT の部分断面図である。図 22 において、N+ パッファ層 4.6 が P+ コレクタ層 4.1 の一部を貫通して露出し、この N+ パッファ層 4.6 の露出面と P+ コレクタ層 4.1 の表面がともにコレクタ電極 5.2 に接触し短絡している。

【0111】IGBT がオン状態からオフ状態になる際に、エミッタ電極 5.1 からの電子の注入が停止し、P+ コレクタ層 4.1 から N- 層 4.2 へのホールの注入も停止した後、N- 層 4.2 に蓄積されていた電子の一部はコレクタ電極 5.2 へ抜けて行く。この時 N+ パッファ層 4.6 の露出面とコレクタ電極 5.2 とが短絡していると、電子が素速くコレクタ電極 5.2 の方に移動することができる。この移動の遅速がスイッチングの速度に影響し、U 型 IGBT のターンオフのスピードを速くすることができる。

【0112】また図 23 はこの実施の形態の変形例である U 型 IGBT の部分断面図である。この場合は、実施の形態 4 の N- 層 4.2 の厚みがかなり厚い場合の素子に適用した例である。図 23 において、N- 層 4.2 が P+ コレクタ層 4.1 の一部を貫通して露出し、この N- 層 4.2 の露出面と P+ コレクタ層 4.1 の表面がともにコレクタ電極 5.2 に接触し短絡している。

【0113】この場合も、図 22 の実施の形態と同様に、U 型 IGBT のターンオフの際に、N- 層 4.2 に蓄積されていた電子が素速くコレクタ電極 5.2 の方に移動することができる。このため U 型 IGBT のターンオフのスピードを速くすることができる。

【0114】この実施の形態のように N+ パッファ層 4.6 または N- 層 4.2 が P+ コレクタ層 4.1 の一部を貫通して露出面を有している U 型 IGBT は、実施の形態 4 で述べた N-シリコン基板を使用する製造方法を探ることにより、安価に製造することができる。

【0115】次にこの実施の形態の U 型 IGBT の製造方法の一例を説明する。図 24 はこの実施の形態の U 型 IGBT の製造工程における素子の部分断面図である。ここでは実施の形態 4 に示した製造方法の工程と異なる部分を示している。

【0116】図 24 において、まず、N-シリコン基板 6.2 の一主面に N 型不純物を注入し、アニールすることにより N 型不純物を拡散し N+ 層 6.1 を形成する。次いで、N+ 層 6.1 の表面にレジストを積層し、写真製版工程により一部開口を設けたレジストパターン 8.0 が形成

され、このレジストパターン 8.0 をマスクとして N+ 層 6.1 の表面に P 型不純物を高濃度に注入しアーニールにより拡散し、N+ 層 6.1 の一部表面を露出面として残し、選択的に P+ コレクタ層 6.0 を形成する。

【0117】この後 N-シリコン基板 6.2 の他主面に N 層 6.3 を形成する工程以降は実施の形態 4 と同じである。

【0118】図 25 はこの実施の形態の U 型 IGBT の変形例の製造工程における素子の部分断面図である。図 25 の製造方法では、N-シリコン基板 6.2 の一主面に直接 P+ コレクタ層を形成する方法である。

【0119】図 25 において、まず、N-シリコン基板 6.2 の一主面にレジストを積層し、写真製版工程により一部開口を設けたレジストパターン 8.0 が形成され、このレジストパターン 8.0 をマスクとして N-シリコン基板 6.2 の一主面に P 型不純物を高濃度に注入しアーニールにより拡散し、N-シリコン基板 6.2 の一部表面を露出面として残し、選択的に P+ コレクタ層 6.0 を形成する。

【0120】この後 N-シリコン基板 6.2 の他主面に N 層 6.3 を形成する工程以降は実施の形態 4 と同じである。

【0121】このような製造方法により、N+ パッファ層 4.6 または N- 層 4.2 が P+ コレクタ層 4.1 の一部を貫通して露出面を有している U 型 IGBT を安価に製造することができる。

【0122】<実施の形態 6>図 26 は、さらに別の実施の形態の U 型 IGBT の平面図である。また、図 27 および図 28 は、それぞれ図 26 の A-A 断面、および B-B 断面における断面図である。図 26 は、図 13 と同様に、エミッタ電極 5.1 および層間絶縁膜 5.0 を取り除いた状態で描かれている。すなわち、図 26 には、U 型 IGBT を構成する半導体基板の上主面（エミッタ電極 5.1 が配設される側の主面）が描かれている。また、図 26 において、2 点鎖線で挟まれた領域 C は、層間絶縁膜 5.0 で覆われる領域を示している。

【0123】これらの図に示すように、この U 型 IGBT では、N+ エミッタ領域 4.5 (5.5) が、トレンチ 4.7 に直交するストライプ状に形成されている点が、実施の形態 2 の装置とは特徴的に異なっている。すなわち、N+ エミッタ領域 4.5 は、あたかも連結部 5.5 のみを有するよう形成されている。その結果、半導体基板の上主面には、P ベース層 4.4 と連結部 5.5 とが、交互に配列された帯状に露出している。

【0124】この装置では、半導体基板の上主面における隣接する領域 C に挟まれた領域、すなわち、エミッタ電極 5.1 に接続されるコンタクト領域は、隣接する 2 つのトレンチ 4.7 のいずれの方へいずれも、P ベース層 4.4 と連結部 5.5 の双方を、常に一定の広さで覆う。すなわち、コンタクト領域を形成するためのマスクパターン

に位置ずれがあつても、Pベース層44およびN⁺エミッタ領域45は、常に一定の広さでエミッタ電極51と接触する。

【0125】したがつて、コンタクト領域を形成するためのマスクパターンの位置合わせの精度が緩和される。さらに加えて、N⁺エミッタ領域45を形成するためのマスクパターンについては、その位置合わせが不要となる。その結果、装置の製造に要する手間とコストが節減される。さらに、マスクパターンの位置ずれに対するマージンを考慮することなく、隣接するトレンチ47の間の間隔、すなわちセル間隔を縮小することが可能となる。すなわち、セルの微細化が促進されるという利点も得られる。

【0126】さらに、Pベース層44がトレンチ47に接触しているために、装置がオン状態からオフ状態へ移行するときに、電流を担うホールは、トレンチ47に接触したPベース層44の部分をも通過して、エミッタ電極51へと抜けることができる。すなわち、この装置では、実施の形態1、2の装置に比べて、オフ時の電流に対する間口が広くなっている。このため、ターンオフできる電流が大きいという利点が得られる。言い替えると、装置のRB SOA (逆バイアス安全動作領域; Reverse Bias Safe Operation Area) が高いという利点がある。

【0127】N層43は、RB SOAに対しては、わずかではあるが、その大きさを低めるように寄与する。この実施の形態の装置は、オフ時の電流に対する間口を拡大することによって、RB SOAに対して、N層43のわずかなマイナスの寄与分を補償するとともに、さらに向上をもたらしている。

【0128】なお、図26～図28では、帯状のN⁺エミッタ領域45がトレンチ47に直交するように形成された例を示したが、一般に、帯状のN⁺エミッタ領域45が、ある角度を持ってトレンチ47と交差しておれば、同様の効果を奏する。

【0129】<実施の形態7>図29は、さらに別の実施の形態のU型IGBTの平面図である。また、図30および図31は、それぞれ図29のA-A断面、およびB-B断面における断面図である。図29は、図26と同様に、U型IGBTを構成する半導体基板の上主面を示している。また、図29において、2点鎖線で挟まれた領域Cは、層間絶縁膜50で覆われる領域を示している。

【0130】これらの図に示すように、このU型IGBTでは、Pベース層44およびN⁺エミッタ領域45は、実施の形態2の装置(図13)と同様の形状で、半導体基板の上主面に露出している。すなわち、N⁺エミッタ領域45は、梯子型の平面形状を有している。しかしながら、実施の形態2の装置とは異なり、領域Cは、N⁺エミッタ領域45のトレンチ47に沿った帯状部

分、すなわち連結部55を除いた部分をすべて覆っている。言い替えると、隣接する領域Cに挟まれたコンタクト領域は、連結部55においてのみ、N⁺エミッタ領域45を覆っている。このため、エミッタ電極51とN⁺エミッタ領域45との接続は、連結部55においてのみ行われる。

【0131】その結果、N⁺エミッタ領域45のトレンチ47に沿った帯状部分を通過する電流I₁は、トレンチ47に沿った方向に流れ、さらに連結部55を経由してエミッタ電極51へと到達する。すなわち、実施の形態2と比較すると、電流I₁は、エミッタ電極51へと至るまでに、N⁺エミッタ領域45の中を、より長い距離にわたって流れ。このため、N⁺エミッタ領域45の中に、実施の形態2に比べて大きな電圧降下が発生する。

【0132】この電圧降下の大きさは、N⁺エミッタ領域45の帯状部分のトレンチ47に沿った方向の横方向抵抗R₁の大きさによって規定される。この横方向抵抗R₁の大きさは、N⁺エミッタ領域45の帯状部分の幅Wに比べて、Pベース層44の露出面のトレンチ47に沿った方向の長さLが大きいほど大きくなる。一例として、長さLは約10～20μm程度、幅Wは約1μm程度に設定される。すなわち、長さLは幅Wに比べて、はるかに大きい値となっている。このような、代表例では、横方向抵抗R₁が高くなっている、N⁺エミッタ領域45の中に著しい電圧降下がもたらされる。

【0133】電圧降下は、電流I₁が大きいほど高くなる。すなわち、大きい電流I₁が流れる部位ほど、高い電圧降下が発生する。この電圧降下は、さらに、電流I₁を抑制する働きをなす。したがつて、N⁺エミッタ領域45の中で、電流I₁が小さく電圧降下の低い部位では、電流I₁が流れ易く、逆に、電流I₁が大きく電圧降下の高い部位では、電流I₁は流れ難くなる。

【0134】このようにして、N⁺エミッタ領域45を流れる電流I₁の大きさが、装置全体にわたって平均化される。すなわち、この装置では、横方向抵抗R₁を利用することによって、電流の大きさの偏りを緩和しないし解消している。電流の大きさが平均化されるので、ターンオフできる電流が大きくなる。すなわち、この装置においても、実施の形態6の装置と同様に、RB SOAが改善されるという利点が得られる。

【0135】<実施の形態8>図32は、さらに別の実施の形態のU型IGBTの平面図である。また、図33は、図32のA-A断面における断面図である。図32は、図26と同様に、U型IGBTを構成する半導体基板の上主面を示している。また、図32において、2点鎖線で挟まれた領域Cは、層間絶縁膜50で覆われる領域を示している。

【0136】これらの図に示すように、このU型IGBTでは、半導体基板の上主面へ露出するPベース層44

の領域、すなわちPベース層44の露出面に、Pベース層44よりも高い濃度でP型不純物を含有するP⁺層91が形成されている点が、実施の形態1の装置(図2、図3)とは、特徴的に異なっている。

【0137】P⁺層91が形成されているために、Pベース層44とエミッタ電極51との間のコンタクト抵抗が低くなるとともに、それらの間のボテンシャル障壁も低くなる。このため、Pベース層44へ侵入したホールが、エミッタ電極51へと抜け易くなる。その結果、電流が流れ易くなるので、ターンオフできる電流の値が高くなる。すなわち、この装置においても、実施の形態6、7の装置と同様に、RBSOAが改善されるという利点が得られる。

【0138】なお、P⁺層91に含有されるP型不純物の濃度は、好ましくは、N⁺エミッタ領域45におけるN型不純物の濃度に近い値に設定される。

【0139】また、図32、図33では、N⁺エミッタ領域45が帯状に形成され、それにともなってP⁺層91も帯状に形成される例を示したが、一般に、Pベース層44の露出面にP⁺層91が形成されておれば、同様の効果を奏する。例えば、実施の形態2の装置(図13)のPベース層44の露出面に、P⁺層91が形成されてもよい。

【0140】つぎに、この実施の形態の装置の製造方法について説明する。図34および図35は、この装置の製造方法の一例を示す工程図である。この製造方法例では、まず、図5～図9に示した工程が実行される。

【0141】その後、図34に示すように、平行な複数の帯状に配列するPベース層64の露出面に、選択的に開口するレジストパターン82が、酸化膜69およびポリシリコン70の上に形成される。レジストパターン82は、図6に示したレジストパターン65と同様に、酸化膜69およびポリシリコン70の表面全体にわたってレジストを層状に形成した後に、写真製版を用いて選択的に開口部を形成することによって得られる。

【0142】つぎに図35の工程図に示すように、レジストパターン82を遮蔽体として用いて、P型不純物をPベース層64の露出面に選択的に注入することによって、P⁺層92が形成される。その後、レジストパターン82を除去した後に、アニールを施すことによって、注入されたP型不純物の拡散が行われる。つづいて、図10～図12の工程を実行することによって、図32および図33に示した装置が得られる。

【0143】図36および図37は、この実施の形態の装置の製造に適したもう一つの例を示す工程図である。この製造方法例では、まず、図5に示した工程が実行される。その後、図36に示すように、平行に配列する帯状に選択的に開口するレジストパターン83が、Pベース層64の表面に形成される。レジストパターン83も、レジストパターン65と同様の手順で形成される。

【0144】つぎに、レジストパターン83を遮蔽体として用いて、P型不純物をPベース層64の表面に選択的に注入することによって、P⁺層92が形成される。その後、レジストパターン83を除去した後に、アニールを施すことによって、注入されたP型不純物の拡散が行われる。

【0145】つぎに、図37に示すように、P⁺層92を選択的に覆うように、レジストパターン65が、Pベース層64の表面に形成される。そして、レジストパターン65を遮蔽体として用いて、N型不純物をPベース層64の表面に選択的に注入することによって、N⁺エミッタ領域66が形成される。その後、レジストパターン65を除去した後に、アニールを施すことによって、注入されたN型不純物の拡散が行われる。つづいて、図7～図12の工程を実行することによって、図32および図33に示した装置が得られる。

【0146】図38は、この実施の形態の装置の製造方法における、さらに別の例を示す工程図である。この製造方法例では、まず、図5および図6に示した工程が実行される。その後、図38に示すように、平行に配列する帯状の領域を除いて露出するN⁺エミッタ領域66を選択的に覆うレジストパターン84が、Pベース層64の表面に形成される。レジストパターン84は、N⁺エミッタ領域66の露出面を除く領域、Pベース層64の平行に配列する帯状の露出面に選択的に開口する。なお、レジストパターン84の形成は、レジストパターン65と同様の手順で行われる。

【0147】つぎに、レジストパターン84を遮蔽体として用いて、P型不純物をPベース層64の露出面に選択的に注入することによって、P⁺層92が形成される。その後、レジストパターン83を除去した後に、アニールを施すことによって、注入されたP型不純物の拡散が行われる。つづいて、図7～図12の工程を実行することによって、図32および図33に示した装置が得られる。

【0148】図39は、この実施の形態の装置の製造方法における、さらに別の例を示す工程図である。この製造方法例では、まず、図5および図6に示した工程が実行される。つぎに、図39に示すように、P型不純物を半導体基板の上面全体に注入することによって、Pベース層64の露出面部分にP⁺層92が形成される。その後、アニールを施すことによって、注入されたP型不純物の拡散が行われる。つづいて、図7～図12の工程を実行することによって、図32および図33に示した装置が得られる。

【0149】図39の工程を含む製造方法は、形成すべきP⁺層92におけるP型不純物の濃度が、N⁺エミッタ領域66におけるN型不純物の濃度に比べて十分に低いときに有効である。

【0150】また、P型不純物を注入してP⁺層92を

形成する工程は、以上の4つの製造方法例だけでなく、図5～図12に示した一連の工程の中で、適宜実行することが可能である。

【0151】さらに、以上の4つの製造方法例では、P⁺層92が帯状に形成されたが、一般に、P⁺層92を形成するためのレジストパターンの開口部の形状を、Pベース層64の露外面の形状に対応して設定することによって、任意の形状を有するPベース層64の露外面にP⁺層92を形成することが可能である。

【0152】なお、注入された不純物を拡散させるためのアニール工程は、必ずしも図36あるいは図37の工程などの注入工程の直後に行われなくてもよい。すなわち、アニールに適した、その後の工程の中で、適宜行われてもよい。また、また、複数の半導体層のためのアニール工程が、一つのアニール工程で同時に遂行されてもよい。このことは、他の実施の形態の装置の製造方法においても同様である。

【0153】<実施の形態9>図40は、さらに別の実施の形態のU型IGBTの断面図である。この装置を構成する半導体基板の上主面の構造は、図2の平面図で表現される。図40は、図2のA-A断面における断面図に相当する。

【0154】図40に示すように、この装置では、トレンチ47の底部にP⁺層93が形成されている点が、実施の形態1の装置とは特徴的に異なっている。P⁺層93におけるP型不純物の濃度は、N⁻層42におけるN型不純物の濃度(=10¹³～10¹⁴cm⁻³)以上の高さに設定され、好ましくは略10¹⁶cm⁻³以上に設定される。同時に、N⁺エミッタ領域45におけるN型不純物の濃度(=10¹⁹～10²⁰cm⁻³)以下の高さに設定されるのが望ましい。

【0155】図41および図32は、P⁺層93の効果を説明する模式図である。これらの図41および図42は、それぞれ、P⁺層93が設けられていないとき、および、設けられているときのN⁻層42における電界分布を等電位面で示している。図41に示すように、P⁺層93がないときには、トレンチ47の中で比較的強く湾曲している部分である底部の周辺において、電界の集中が見られる。そして、この電界の集中の大きさによって、装置の耐圧が規定されている。

【0156】一方、図42に示すように、一種の導体として機能するP⁺層93がトレンチ47の底部に付加されることによって、この底部における電界の集中が緩和される。したがって、P⁺層93が設けられる図40の装置では、実施の形態1の装置に比べて、耐圧が向上する。なお、図40では、実施の形態1の装置にP⁺層93を設けた例を示したが、その他の実施の形態の装置、例えば実施の形態2の装置にP⁺層93を設けることによっても、耐圧の改善効果が同様に得られる。

【0157】図43は、実施の形態3の装置(図16)

にP⁺層93を設けた例を示す断面図である。この装置では、実施の形態3の装置と同様に、N層43とPベース層44との境界が、トレンチ47の底部よりもさらに深い位置に形成されている。P⁺層93は、単に装置の耐圧を高めるだけでなく、N層43とPベース層44との境界の深さと耐圧との関係をも改善する。図44は、このことを示すグラフである。

【0158】図44は、N⁻層42とN層43の境界の深さと、耐圧およびオン電圧との間の関係を示すグラフであり、図17と同一のグラフに2つの曲線C1、C2が追加されている。曲線C1は、図17のシミュレーションの対象となった装置に、P⁺層93が設けられたときの、N⁻層42とN層43の境界の深さと、耐圧との間の関係を模式的に示している。

【0159】曲線C1が示すように、P⁺層93が設けられることによって、耐圧が高くなるだけでなく、耐圧が劣化を開始する境界深さ、すなわち境界深さの臨界値が、高い値へとシフトしている。したがって、耐圧を犠牲にすることなく、N層43をさらに厚くすることができる。20

【0160】さらに、耐圧が2000Vを超える高耐圧の装置では、曲線C2に模式的に示すように、境界深さに対するV_{CE(SAT)}の変化がより急峻となる。このため、高耐圧の装置では、N層43を厚くすることによって、V_{CE(SAT)}が大きく低減される。すなわち、装置が高耐圧の装置であるほど、P⁺層93を設けることによるオン電圧V_{CE(SAT)}の改善効果が著しく現れる。

【0161】つぎに、この実施の形態の装置の製造方法について説明する。図45は、この装置の製造方法の一例を示す工程図である。この製造方法例では、まず、図30～図7に示した工程が実行される。

【0162】その後、図45に示すように、酸化膜67を遮蔽体として用いて、トレンチ68へ選択的にP型不純物を注入することによって、トレンチ68の底部にP⁺層94が形成される。このとき、酸化膜69の側壁が、半導体基板の主面に対して必ずしも高い精度で垂直ではないために、側壁にもP層が形成される場合がある。

【0163】このため、P型不純物の注入が完了した後に、トレンチ68の内壁に図8の酸化膜69と同様の熱酸化膜を一旦形成し、さらに除去する工程が実行される。この工程によりP型不純物を熱酸化膜に偏積させることができ、その結果、トレンチ68の側壁のP層を除去することができる。P⁺層94の拡散のためのアニールも行われるが、このアニール工程は熱酸化膜を形成する工程を兼ねて実行してもよい。

【0164】その後、図8～図12の工程を実行することによって、図40あるいは図43に例示した装置、すなわちP⁺層93をトレンチ47の底部に有する装置が

得られる。

【0165】なお、図45では、酸化膜67を遮蔽体として、トレンチ68に選択的に不純物を導入する工程を示したが、形成すべきP⁺層94におけるP型不純物の濃度がN⁺エミッタ領域66におけるN型不純物の濃度に比べて十分に低く設定されるときには、この工程に代わって図46の工程図に示す工程を実行してもよい。すなわち、遮蔽体をなくして、トレンチ68だけでなくPベース層64およびN⁺エミッタ領域66の上面にも、P型不純物を注入してもよい。

【0166】このとき、トレンチ68の底部にP⁺層94が形成されるとともに、Pベース層64の露出面にもP⁺層92が形成される。N⁺エミッタ領域66にもP型不純物が注入されるが、N型不純物の濃度が十分に高いので、N⁺エミッタ領域66への実質的な影響は回避される。そして、Pベース層64の露出面にP⁺層92が形成されるので、完成した装置では、実施の形態8の装置(図32、図33)と同様の効果が得られる。

【0167】すなわち、図45の工程を実行することによって、実施の形態8の装置にP⁺層94を付加した装置を製造することができる。しかも、P⁺層94を形成する工程が、P⁺層92を形成する工程を兼ねて実行されるので、製造効率が良好であるという利点がある。

【0168】<変形例>以上の各実施の形態では、NチャネルのU型IGBTを例として説明したが、この発明は、PチャネルのU型IGBTについても適用できることは云うまでもない。

【0169】

【発明の効果】第1の発明の絶縁ゲート型半導体装置は、ゲートがオンの状態において、第3の半導体層を経由して第1の主電極へ抜けて行くキャリア例えばホールを、第3の半導体層が制限し、第2の半導体層と第3の半導体層との境界近傍の第2の半導体層にホールが蓄積され、第2の半導体層のキャリア分布が、ダイオードのキャリア分布に近くなる。このためオン電圧が低くなる。またゲートがオン状態からオフ状態に移るとき、第2の半導体層に蓄積されていた電子とホールがそれぞれ第2の主電極および第1の主電極に移動するに際しては、第1の主電極と第2の主電極との間に高電圧が印加されているので第3の半導体層を経由するホールの移動にはバリアとしての影響が少ない。従ってオン電圧が低いにも拘らずオフ出来的電流値が低下しない。従って消費電力が少なく、小形大容量で、信頼性の高い絶縁ゲート型半導体装置が実現する。

【0170】第2の発明の絶縁ゲート型半導体装置では、溝が第3の半導体層をも貫通し第2の半導体層に達する深さを有するので、トレンチ先端での電界集中が緩和され、耐圧が確保し易い。このため、電圧クラスが比較的低圧の素子から高圧の素子まで構成することができ、多様な要求仕様に対応することができる。

【0171】第3の発明の絶縁ゲート型半導体装置では、溝が第3の半導体層内に留まる深さを有するので、不純物濃度の高い第3の半導体層の厚みが厚くなり、オン電圧が一層低くなる。このため、特に高耐圧クラスのものにおいて消費電力の少ない絶縁ゲート型半導体領域を提供することが出来る。

【0172】第4の発明の絶縁ゲート型半導体装置では、第2の半導体層が第1の半導体層を貫通しこの第1の半導体層の第2の主面に部分的に露出し、第2の半導体層が第2の主電極と短絡しているので、ターンオフの際に電子が第2の主電極へ移動し易く、その結果、スイッチング速度が速くなる。

【0173】第5の発明の絶縁ゲート型半導体装置では、第1の半導体層と第2の半導体層との間に第2の半導体層の不純物濃度よりも高い不純物濃度の第2導電型の第6の半導体層が配設されているので、オフ状態において第6の半導体層によって空乏層の伸びが止められる。このため、パンチスルーが起こり難く、耐圧が高くなる。

【0174】第6の発明の絶縁ゲート型半導体装置では、第6の半導体層が第1の半導体層を貫通して、この第1の半導体層の第2の主面に部分的に露出しているので、第6の半導体層が第2の主電極と短絡する。その結果、ターンオフの際に電子が第2の主電極への移動を行ない易いので、スイッチング速度が速くなる。

【0175】第7の発明の絶縁ゲート型半導体装置では、溝が、並列に配置された複数本に分割して配設され、互いに隣接する溝の間に挟まれて第4の半導体層の露出面が配設されたので、複数のセルを構成するときチャネル領域を広く取ることができ、小形で大容量化を図ることができる。

【0176】第8の発明の絶縁ゲート型半導体装置では、第4の半導体層の露出面が第5の半導体層の一部により複数に分割され、しかも溝に沿って第5の半導体層の一部と交互に配設されるので、第1の主電極が第4の半導体層及び第5の半導体層とコンタクトするコンタクト領域を第4の半導体層同士の間に配置された第5の半導体層を使って行なうことができる。その結果、コンタクト領域の形成にマスクずれを考慮する必要がなく、セルの微細化を図ることができて、セルの高密度化ができるから、オン電圧を低くすることができる。またコンタクト領域が素子表面全体でバランス良く配置され素子表面全体でセルの動作特性の均一化を図ることができる。

【0177】第9の発明の絶縁ゲート型半導体装置では、第1の主電極が、第4の半導体層の露出面を分割する第5の半導体層の一部においてのみ、この第5の半導体層と接続されているので、第5の半導体層を流れる電流の経路が長く、大きな電圧降下が発生する。このため、電流の分布が装置全体にわたって均一化されるので、ターンオフできる電流の値が向上する。すなわち、

RBSOAが改善される。

【0178】第10の発明の絶縁ゲート型半導体装置では、第5の半導体層が互いに平行な複数の帯状に配設されており、複数の単位溝が、帯状の第5の半導体層に交差する方向に沿って配設されているので、これらの第4および第5の半導体層と第1の主電極とが接続されるコンタクト領域を形成するためのマスクの位置が、隣接する単位溝のいずれの方向にずれても、一定の面積での接続が実現する。このため、装置の製造に要する手間とコストが節減されるとともに、マスクパターンの位置ずれに対するマージンを考慮することなく、セルを微細化することが可能となる。

【0179】さらに、複数の平行な帯状の第5の半導体層が溝と交差しているので、第4の半導体層は溝に接触する。このため、装置がオン状態からオフ状態へ移行するときに、電流を担うホールが、溝に接触する第4の半導体層の部分をも通過して、第1の主電極へと抜けることができる。このため、ターンオフできる電流の値が高くなる。

【0180】第11の発明の絶縁ゲート型半導体装置では、第4の半導体層の露出面の部分に、不純物濃度の高い第7の半導体層が形成されているので、第1の主電極は、この第7の半導体層を介して、第4の半導体層に接続される。その結果、第1の主電極と第4の半導体層との間の接触抵抗、およびポテンシャル障壁が、ともに低く、ホールが第4の半導体層から第1の主電極へと抜け易くなる。このため、ターンオフできる電流の値が高くなる。

【0181】第12の発明の絶縁ゲート型半導体装置では、第2の半導体層におけるよりも不純物濃度の高い第1導電型の第8の半導体層が溝の底部を包囲するように形成されているので、溝の底部における電界の集中が緩和される。このため、装置の耐圧が向上する。

【0182】第13の発明の絶縁ゲート型半導体装置では、第2の半導体層におけるよりも不純物濃度の高い第1導電型の第8の半導体層が溝の底部を包囲するように形成されているので、溝の底部における電界の集中が緩和される。このため、装置の耐圧が向上する。しかも、溝が第3の半導体層内に留まる深さを有するので、第3の半導体層の厚みが厚くなり、オン電圧が低くなる。特に、第8の半導体層によって、耐圧を劣化させることなく第3の半導体層の厚さを大きく設定することができる。このため、オン電圧を一層低減することができる。

【0183】第14の発明の絶縁ゲート型半導体装置の製造方法では、半導体基板の第2の半導体層の露出面にこの第2の半導体層の不純物濃度よりも高い不純物濃度に第2導電型の不純物を注入・拡散し第3の半導体層を形成し、この第3の半導体層表面に第1導電型の第4の半導体層を形成し、この第4の半導体層の表面に選択的に第5の半導体層を形成し、第5の半導体層表面の一部

に少なくとも第4の半導体層を貫通する溝を形成し、溝の表面に絶縁膜を形成し、絶縁膜上に導電体を積層して導電体を溝の開口部まで一様に除去し溝内の導電体を制御電極として残すので、オン電圧が低いにも拘らずオフ出来的電流値が低下しない絶縁ゲート型半導体装置を複雑な工程を用いることなく安価に製造することができる。

【0184】第15の発明の絶縁ゲート型半導体装置の製造方法では、第5の半導体層の表面の一部に、第3の半導体層を貫通する溝が形成されるので、多様な要求仕様に対応する絶縁ゲート型半導体装置を、複雑な工程を用いることなく安価に製造することができる。

【0185】第16の発明の絶縁ゲート型半導体装置の製造方法では、第5の半導体層の表目的一部分に、第3の半導体層内に留まる溝が形成されるので、特に高耐圧クラスの装置においてオン電圧が低く消費電力の少ない絶縁ゲート型半導体装置を、段取り時間の少ない工程をもって安価に製造することができる。

【0186】第17の発明の絶縁ゲート型半導体装置の20 製造方法では、半導体基板を形成する工程において、第1導電型の半導体基板の表面上にエピタキシャル成長によって低不純物濃度の第2導電型の第2の半導体層が形成されるので、特に第2の半導体層が比較的薄い低耐圧の装置を、複雑な工程を用いることなく短い製造時間で製造できる。

【0187】第18の発明の絶縁ゲート型半導体装置の30 製造方法では、半導体基板を形成する工程において、低不純物濃度の第2導電型の半導体基板の表面に第1導電型の不純物を注入した後拡散することによって第1導電型の第1半導体層が形成されるので、半導体基板を形成する工程を拡散工程を主体とすることができます。このため、特に第2の半導体層が比較的厚い高耐圧の装置を安価に製造することができる。

【0188】第19の発明の絶縁ゲート型半導体装置の40 製造方法では、選択的に形成された開口を有するレジストパターンを半導体基板の一主面に形成し、このレジストパターンをマスクとして第1導電型の不純物が注入されるので、第2の半導体層の露出面が、第2の半導体層を形成するための注入・拡散工程と同時に形成される。

このため、スイッチング速度の速い絶縁ゲート型半導体装置が、能率よく安価に製造される。

【0189】第20の発明の絶縁ゲート型半導体装置の50 製造方法では、半導体基板を形成する工程において、低不純物濃度の第2導電型の第2の半導体層が高不純物濃度の第2導電型の第6の半導体層を介して第1導電型の第1の半導体層の一主面上に配設された半導体基板が形成されるので、パンチスルーの起こり難い絶縁ゲート型半導体装置を安価に製造することができる。

【0190】第21の発明の絶縁ゲート型半導体装置の50 製造方法では、第6の半導体層および第2の半導体層が

第1導電型の半導体基板の一主面上にエピタキシャル成長によって順次形成されるので、パンチスルーの起こり難い絶縁ゲート型半導体装置が、段取り時間の少ない工程をもって安価に製造される。

【0191】第22の発明の絶縁ゲート型半導体装置の製造方法では、低不純物濃度の第2導電型の半導体基板の一主面上に、第2導電型の不純物を注入拡散して第6の半導体層を形成した後、この第6の半導体層の表面に第1導電型の不純物を注入拡散することによって第1の半導体層が形成されるので、パンチスルーの起こり難い絶縁ゲート型半導体装置が、拡散工程を主体とした工程をもって安価に製造される。

【0192】第23の発明の絶縁ゲート型半導体装置の製造方法では、選択的に形成された開口を有するレジストパターンを第6の半導体層の表面に形成し、このレジストパターンをマスクとして第1導電型の不純物が注入されるので、第6の半導体層の露出面が、第1の半導体層を形成するための注入・拡散工程と同時に形成される。このため、スイッチング速度が速く、パンチスルーの起こり難い絶縁ゲート型半導体装置が能率よく安価に製造される。

【0193】第24の発明の絶縁ゲート型半導体装置の製造方法は、第2の半導体層、第3の半導体層及び第4の半導体層の不純物濃度を、それぞれC₂、C₃およびC₄としたとき、これらの関係がC₂ < C₃ < C₄となるように第1の注入工程及び第2の注入工程が行なわれるのと、拡散工程に要する時間が短縮される。このため、絶縁ゲート型半導体装置が安価に製造される。

【0194】第25の発明の絶縁ゲート型半導体装置の製造方法では、第4の注入工程によって、第4の半導体層の表面部分に、不純物濃度の高い第7の半導体層が形成されるので、第1の主電極は第7の半導体層を介して第4の半導体層に接続される。すなわち、単純で安価な注入および拡散工程を追加するだけで、ターンオフできる電流値の高い装置を製造することができる。

【0195】第26の発明の絶縁ゲート型半導体装置の製造方法では、第7の半導体層が、レジストパターンを用いることによって、第4の半導体層の表面部分の第5の半導体層と異なる領域に選択的に形成される。すなわち、第5の半導体層と第7の半導体層とが互いに干渉することなく形成される。このため、第5の半導体層と第7の半導体層の双方の機能が、それぞれ十分に発揮される。

【0196】第27の発明の絶縁ゲート型半導体装置の製造方法では、第4の注入工程において、第5の半導体層に実質的に影響しない程度に不純物の注入が行われるので、第4の半導体層の表面部分の第5の半導体層と異なる領域に、不純物濃度の高い第7の半導体層が選択的に形成される。このため、第5の半導体層と第7の半導体層の双方の機能が、それぞれ十分に発揮される。しか

も、第7の半導体層を形成するのに、マスクパターンを必要としないので、製造工程がさらに簡単である。

【0197】第28の発明の絶縁ゲート型半導体装置の製造方法では、遮蔽膜をマスクとした不純物の注入および拡散によって、溝の底部に第2の半導体層よりも不純物濃度の高い第1導電型の第8の半導体層が形成される。すなわち、単純で安価な注入および拡散工程を追加するだけで、耐圧の高い装置を製造することができる。

【0198】第29の発明の絶縁ゲート型半導体装置の製造方法では、不純物の注入および拡散によって、溝の底部に第2の半導体層よりも不純物濃度の高い第1導電型の第8の半導体層が形成される。すなわち、単純で安価な注入および拡散工程を追加するだけで、耐圧の高い装置を製造することができる。さらに、第9の半導体層が同時に形成されるので、ターンオフできる電流値に対する改善効果も、同時に得られる。しかも、第8の半導体層と第9の半導体層とが単一の工程で同時に形成されるので、二つの特性が同時に改善された装置を、能率よく製造することができる。

【0199】第30の発明の絶縁ゲート型半導体装置の製造方法では、第8の半導体層を形成するための不純物の注入が行われた後に、溝の内壁に絶縁膜を形成し、その後、この絶縁膜を除去するので、溝の側壁に第1導電形式の半導体層が不意に形成されたとしても、効果的に除去される。すなわち、簡単な工程を付加することによって、MOS領域の動作への悪影響の懼がなく、特性の安定した装置を得ることができる。

【図面の簡単な説明】

【図1】 実施の形態1の絶縁ゲート型半導体装置の平面図である。

【図2】 図1の装置の一部セルの部分平面図である。

【図3】 図1の装置の一部セルのA-A断面での部分断面図である。

【図4】 オン電圧と電流との関係を示すグラフである。

【図5】 図1の装置の製造工程図である。

【図6】 図1の装置の製造工程図である。

【図7】 図1の装置の製造工程図である。

【図8】 図1の装置の製造工程図である。

【図9】 図1の装置の製造工程図である。

【図10】 図1の装置の製造工程図である。

【図11】 図1の装置の製造工程図である。

【図12】 図1の装置の製造工程図である。

【図13】 実施の形態2の絶縁ゲート型半導体装置の部分平面図である。

【図14】 図13の装置のA-A断面での部分断面図である。

【図15】 図13の装置のB-B断面での部分断面図である。

【図16】 実施の形態3の絶縁ゲート型半導体装置の

部分断面図である。

【図17】 図16の装置の耐圧とオン電圧を示すグラフである。

【図18】 実施の形態4の絶縁ゲート型半導体装置の部分断面図である。

【図19】 図18の装置の変形例の部分断面図である。

【図20】 図18の装置の製造工程図である。

【図21】 図18の装置の製造工程図である。

【図22】 実施の形態5の絶縁ゲート型半導体装置の部分断面図である。 10

【図23】 図22の装置の変形例の部分断面図である。

【図24】 図22の装置の製造工程図である。

【図25】 図23の装置の製造工程図である。

【図26】 実施の形態6の絶縁ゲート型半導体装置の部分平面図である。 20

【図27】 図26の装置の部分断面図である。

【図28】 図26の装置の部分断面図である。

【図29】 実施の形態7の絶縁ゲート型半導体装置の部分平面図である。 20

【図30】 図29の装置の部分断面図である。

【図31】 図29の装置の部分断面図である。

【図32】 実施の形態8の絶縁ゲート型半導体装置の部分平面図である。 30

【図33】 図32の装置の部分断面図である。

【図34】 図32の装置の製造工程図である。

【図35】 図32の装置の製造工程図である。

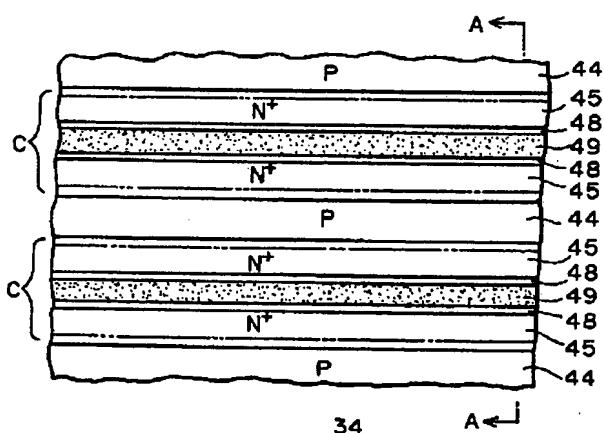
【図36】 図32の装置の製造工程図である。

【図37】 図32の装置の製造工程図である。

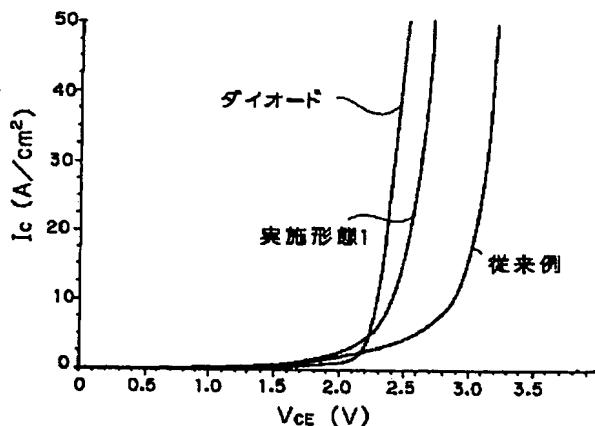
【図38】 図32の装置の製造工程図である。

【図39】 図32の装置の製造工程図である。

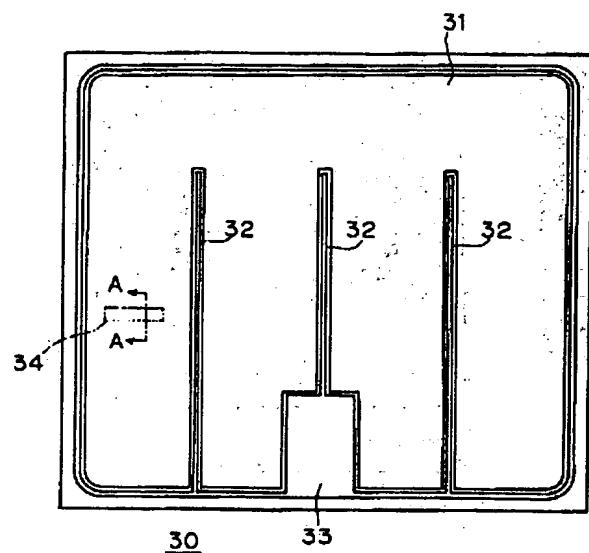
【図2】



【図4】

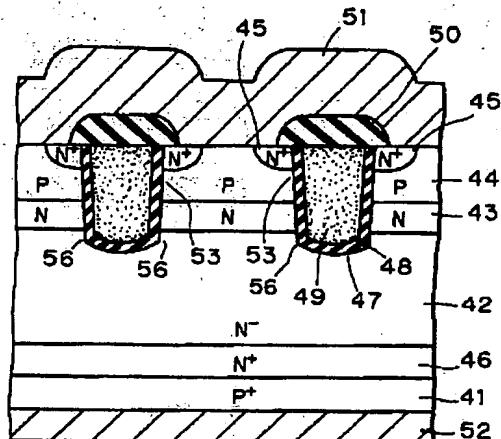


【図1】

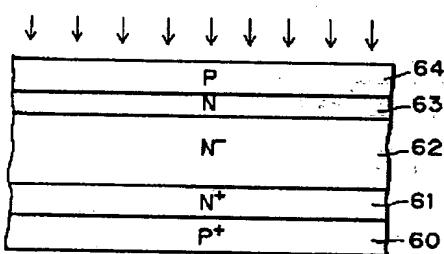


【図3】

4.1 : P⁺コレクタ層 (第1の半導体層)
 4.2 : N⁻層 (第2の半導体層)
 4.3 : N⁻層 (第3の半導体層)
 4.4 : Pベース層 (第4の半導体層)
 4.5 : N⁺エミッタ領域 (第5の半導体層)

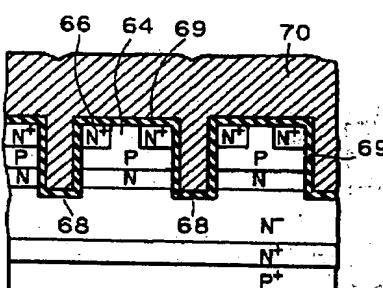


【図5】

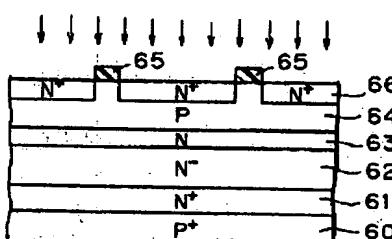


4.6 : N⁺バッファ層 (第6の半導体層)
 4.7 : トレンチ (溝)
 4.8 : ゲート絶縁膜 (絶縁膜)
 4.9 : ゲート電極 (制御電極)
 51 : エミッタ電極 (第1の主電極)
 52 : コレクタ電極 (第2の主電極)

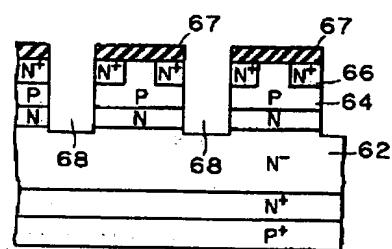
【図8】



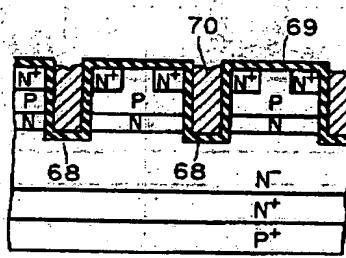
【図6】



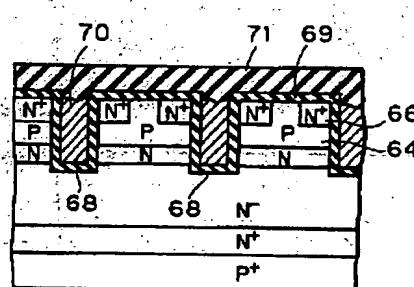
【図7】



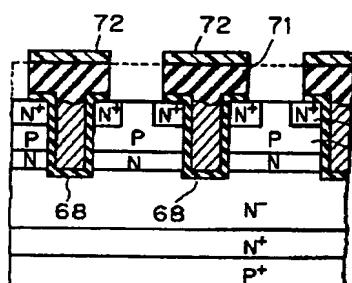
【図9】



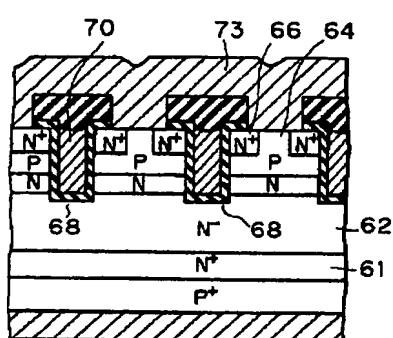
【図10】



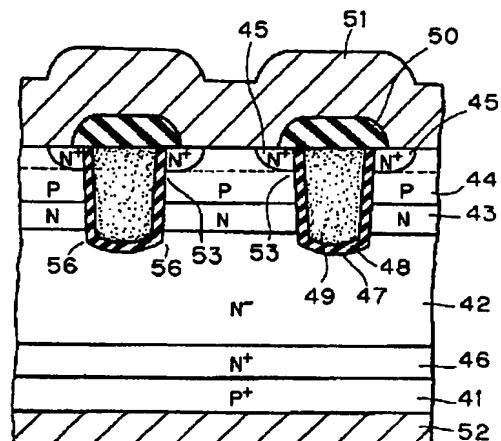
【図11】



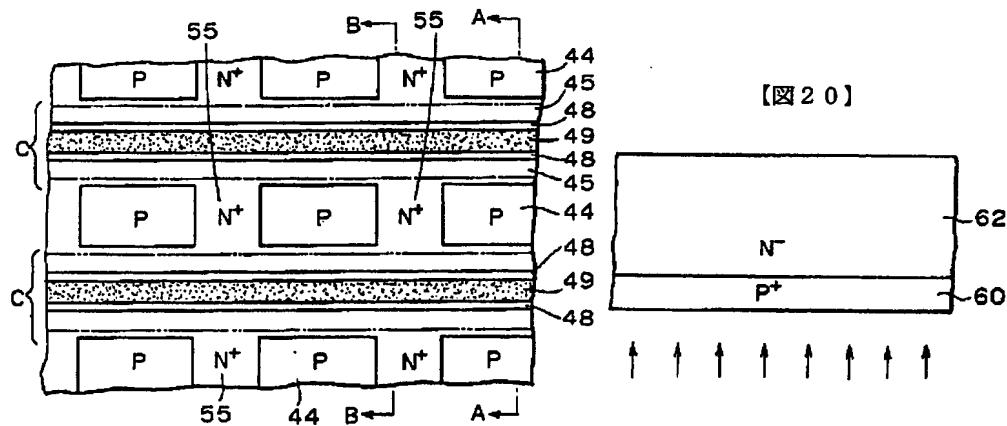
【図12】



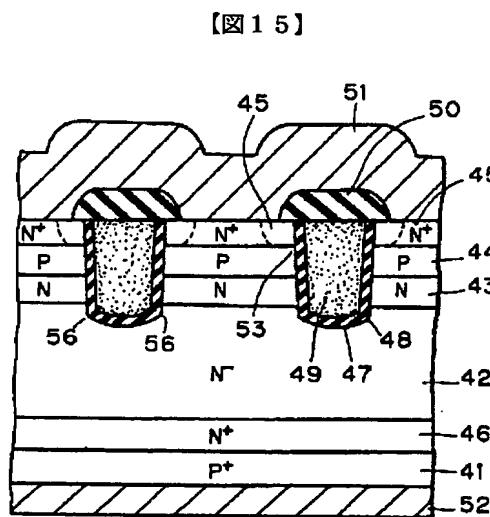
【図14】



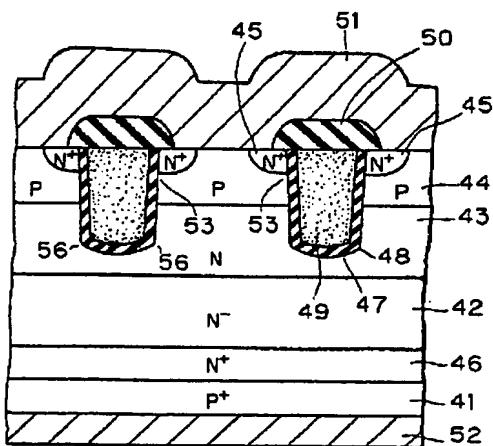
【図13】



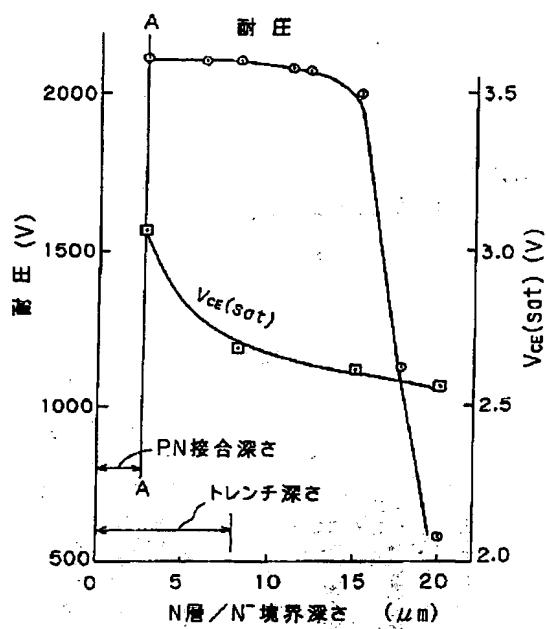
【図20】



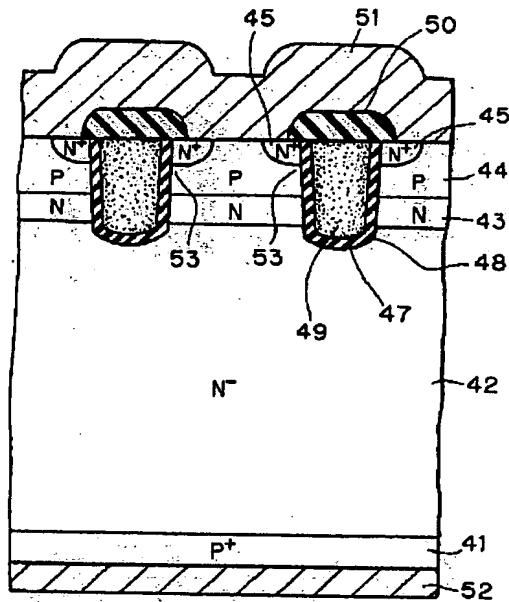
【図16】



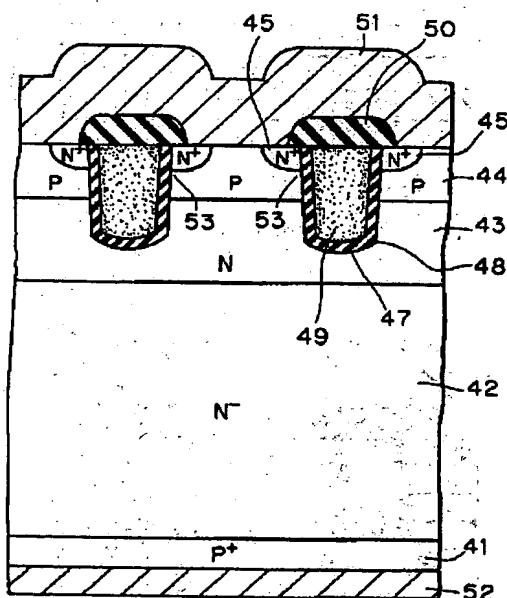
【図17】



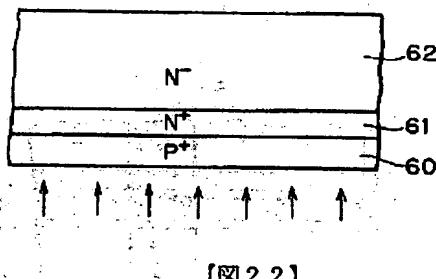
【図18】



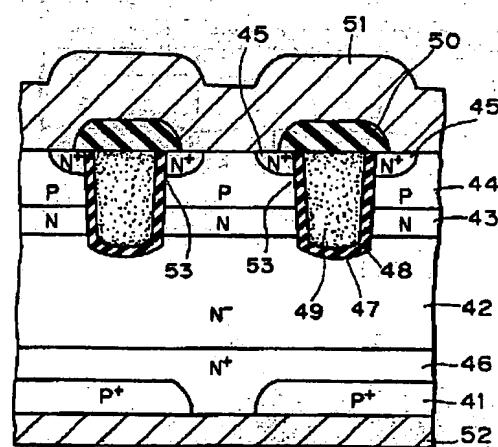
【図19】



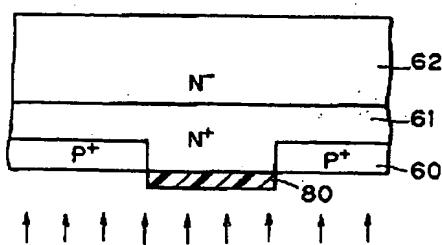
【図21】



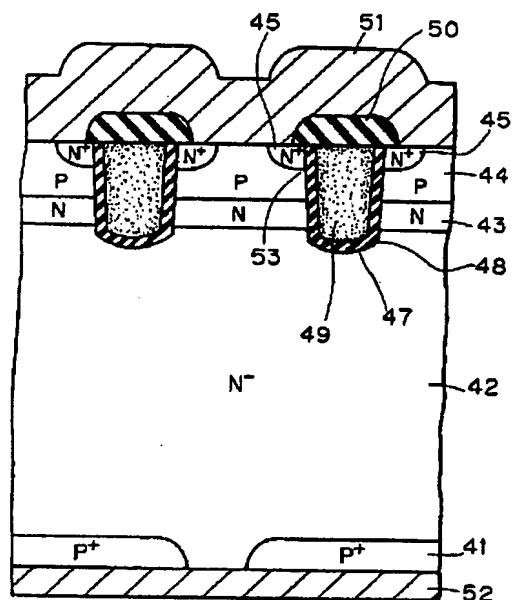
【図22】



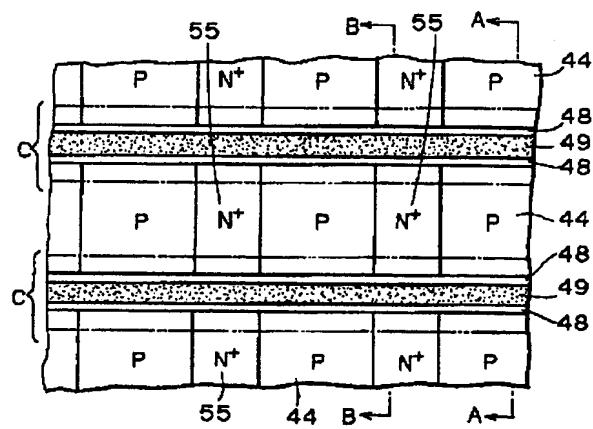
【図24】



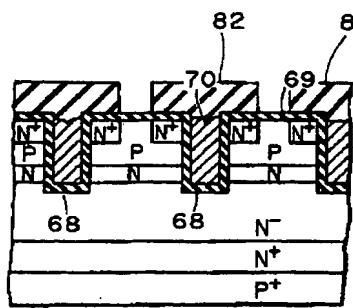
[图23]



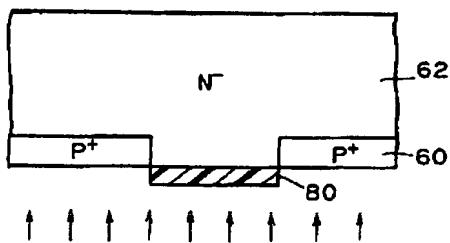
[図26]



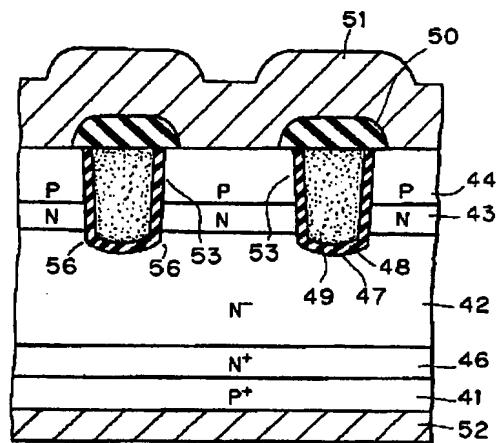
[図3-4]



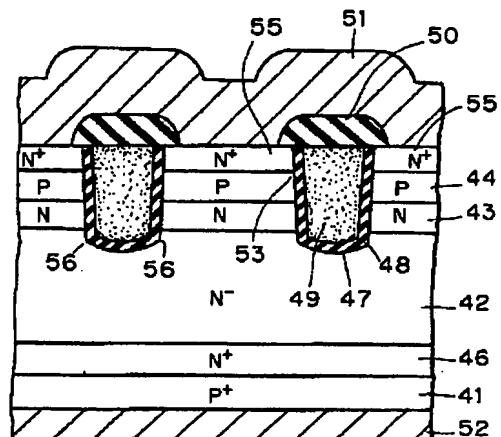
【图25】



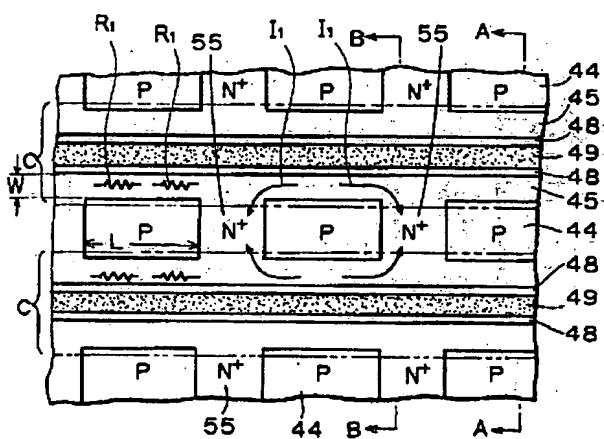
[図27]



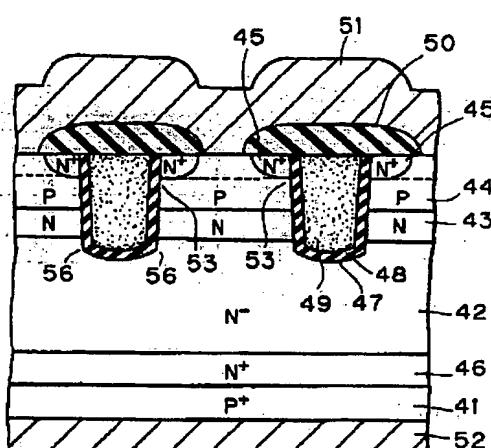
【图28】



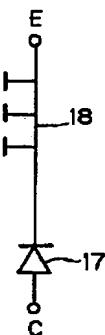
【图29】



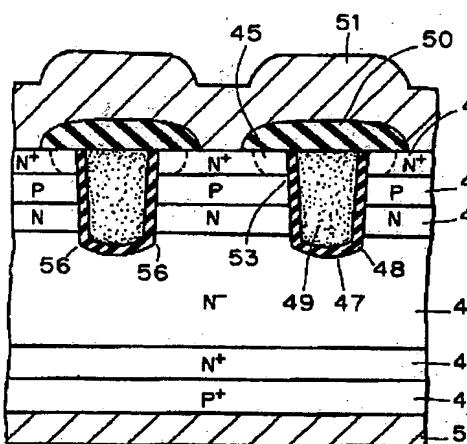
[図30]



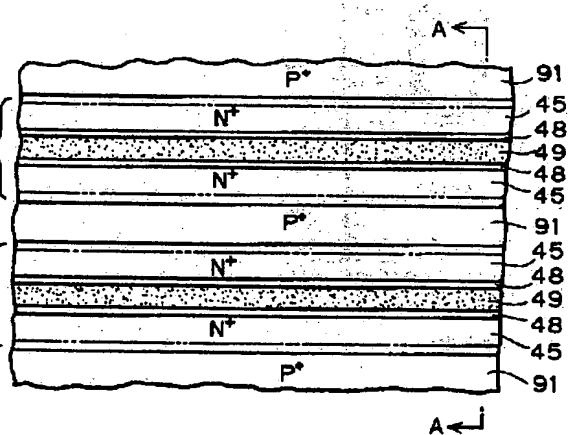
【図49】



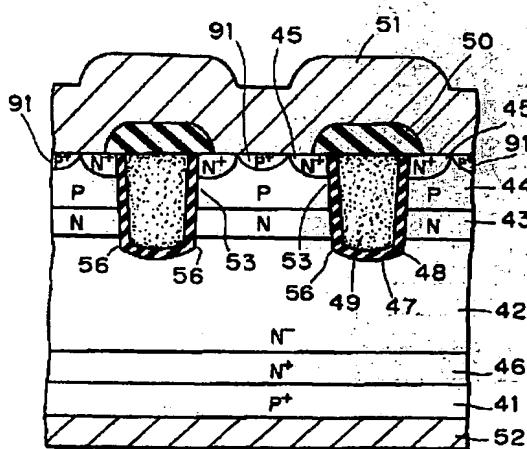
【 3 1】



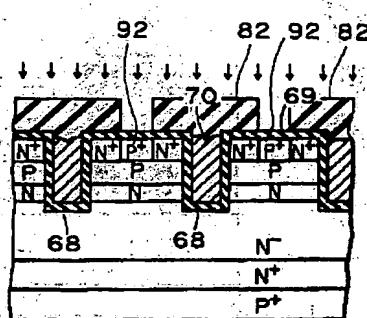
【図3-2】



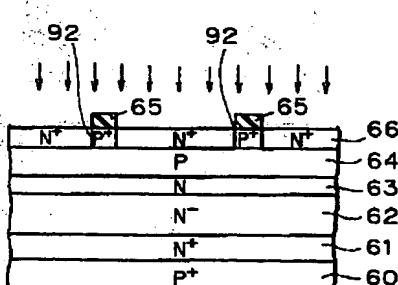
【図33】



[図35]

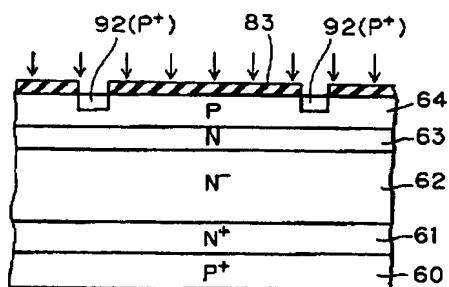


[图37]

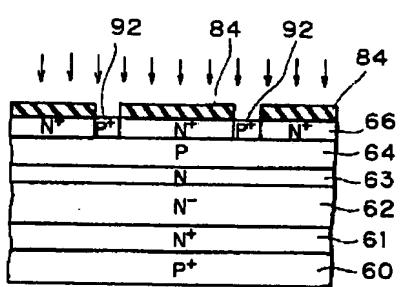


9.1: P⁺層 (第7の半導体層)

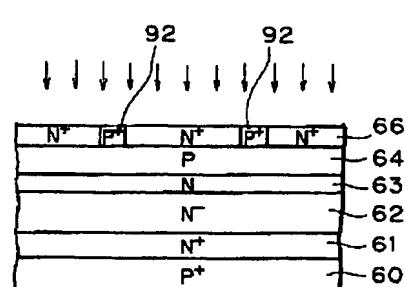
【図36】



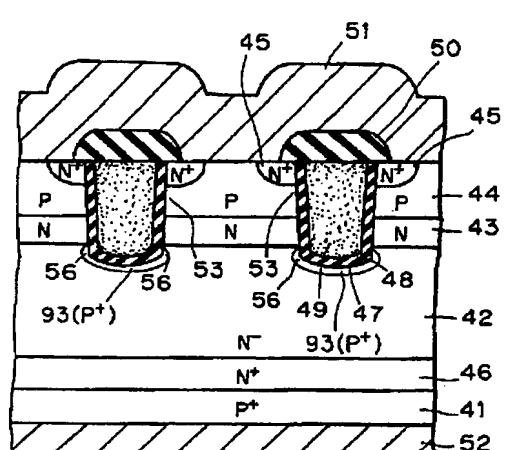
【図38】



【図39】

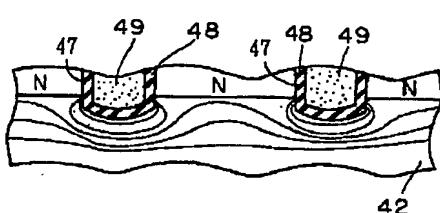


【図40】

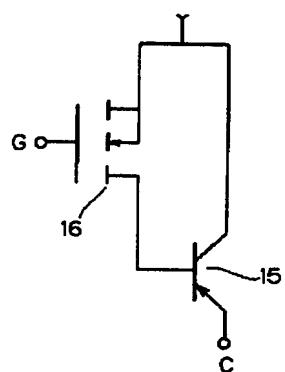


93: P+層 (第8の半導体層)

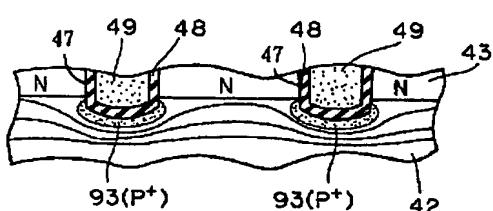
【図41】



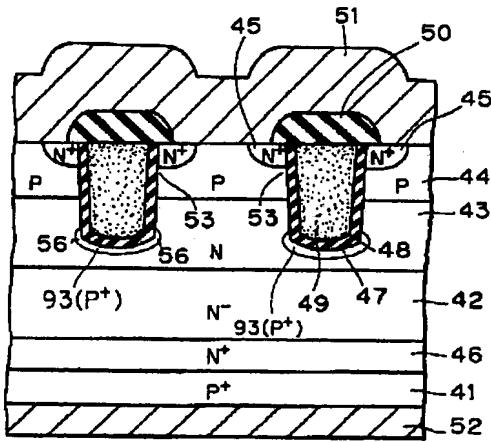
【図48】



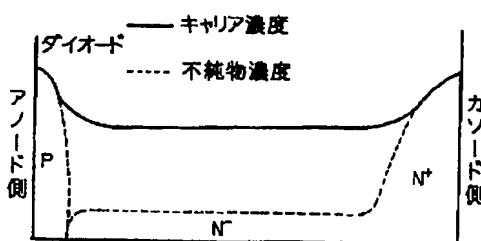
【図42】



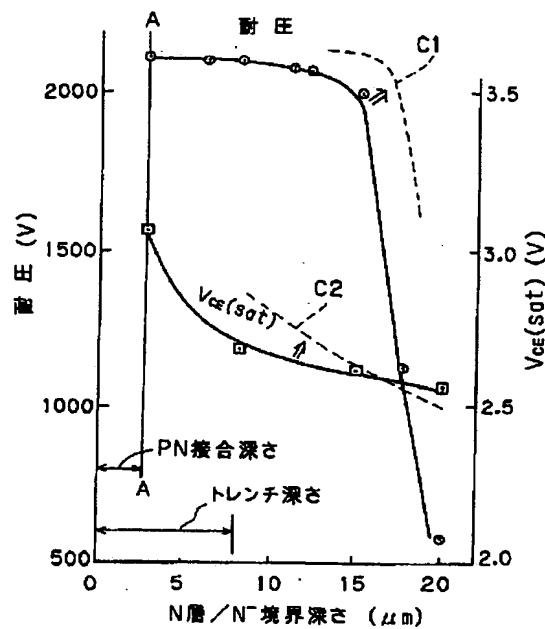
【図43】



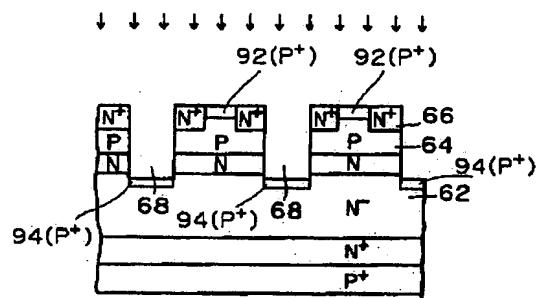
【図50】



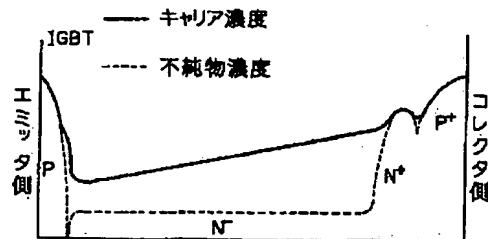
[図44]



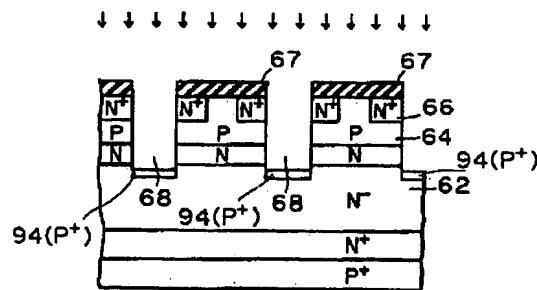
【图46】



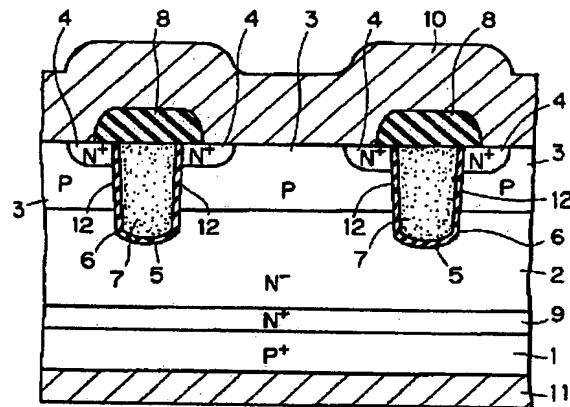
【图 5-1】



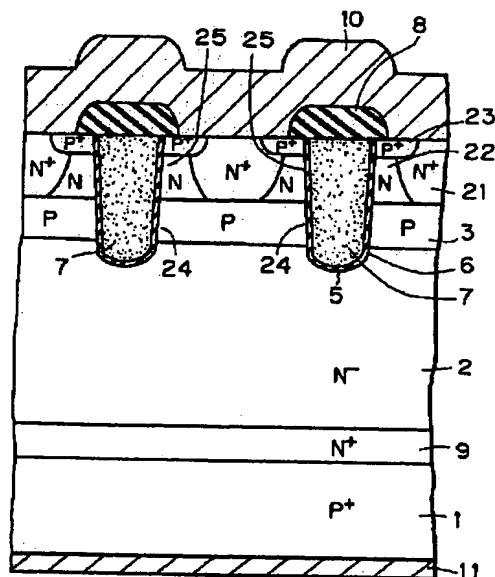
【四】



【図47】



【図52】



THIS PAGE BLANK (USPTO)